

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

PCT/JP98/01431

09.06.98

REC'D 19 JUN 1998

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1997年 3月31日

出願番号

Application Number:

平成 9年特許願第079551号

出願人

Applicant(s):

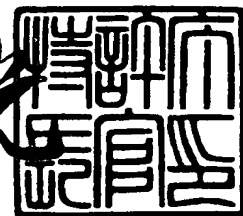
株式会社日立製作所

PRIORITY DOCUMENT

1998年 4月 3日

特許庁長官  
Commissioner,  
Patent Office

荒井寿光



出証番号 出証特平10-3023194

【書類名】 特許願  
【整理番号】 1196034841  
【提出日】 平成 9年 3月31日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/04  
H04B 14/06  
【発明の名称】 モノリシック絶縁カプラ及びこれを応用したモノリシッ

ク回線インターフェイス回路

【請求項の数】 28

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 小嶋 康行

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 大内 貴之

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 秋山 登

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 岩村 將弘

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 渡辺 篤雄

## 【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 根本 峰弘

## 【特許出願人】

【識別番号】 000005108

【郵便番号】 101

---

【住所又は居所】 東京都千代田区神田駿河台四丁目6番地

【氏名又は名称】 株式会社 日立製作所

【代表者】 金井 務

## 【代理人】

【識別番号】 100068504

【郵便番号】 100

---

【住所又は居所】 東京都千代田区丸の内一丁目5番1号

株式会社 日立製作所内

## 【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3212-1111

## 【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003094

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 モノリシック絶縁カプラ及びこれを応用したモノリシック回線インターフェイス回路

【特許請求の範囲】

【請求項1】

少なくともDSPとAFEと端末側回路と複数の容量性絶縁カプラと回線側回路とを含むモデム回路を備え、AFEと端末側回路と複数の容量性絶縁カプラと回線側回路とをSOI基板にモノリシック集積したことを特徴とするモノリシック回線インターフェイス回路。

【請求項2】

DSPとAFE, AFEと端末側回路, 端末側回路と複数の容量性絶縁カプラ, 複数の容量性絶縁カプラと回線側回路とを各々接続し、各回路の動作タイミングをDSPの動作クロックと同期させたことを特徴とするモノリシック回線インターフェイス回路。

【請求項3】

AFE内のAD変換, DA変換回路を回線側回路に一体化し、また、AFEの残りの回路を端末側回路と一体化させたことを特徴とする請求項1記載のモノリシック回線インターフェイス回路。

【請求項4】

各回路の動作クロック入力をモデム回路から供給するようにしたことを特徴とする請求項2記載のモノリシック回線インターフェイス回路。

【請求項5】

モデム信号受信用の絶縁カプラの搬送波クロックを直流閉結制御信号パス用クロックから再生して用いることを特徴とする請求項2記載のモノリシック回線インターフェイス回路。

【請求項6】

絶縁バリヤを使用したチャージポンプ回路によってCMOSスイッチを駆動して直流閉結を制御するようにしたことを特徴とする請求項1記載のモノリシック回線インターフェイス回路。

## 【請求項7】

直流閉結制御信号をオンすることによって着信検出信号パスを制御することを特徴とする請求項1記載のモノリシック回線インターフェイス回路。

## 【請求項8】

制御信号と音声帯域信号とをマルチプレクスすることにより、容量性絶縁カプラを、上り用および下り用の1組としたことを特徴とする請求項1記載のモノリシック回線インターフェイス回路。

---

## 【請求項9】

音声帯域信号を圧縮することにより、制御信号とマルチプレクスしても絶縁カプラのクロック周波数を増大させないようにしたことを特徴とする請求項7記載のモノリシック回線インターフェイス回路。

## 【請求項10】

制御信号を誤り訂正符号化してマルチプレクスすることを特徴とする請求項9記載のモノリシック回線インターフェイス回路。

---

## 【請求項11】

SOI半導体基板上に、絶縁帯を形成して、該絶縁帯で囲んだ複数の電極領域と、高耐圧の保護層とを形成することによって、絶縁帯の側壁間で容量を形成したことを特徴とする絶縁バリヤ。

## 【請求項12】

3つ以上の電気領域が、2つ以上の絶縁帯を共有するように、絶縁帯を配置することによって、直列容量を形成したことを特徴とする請求項11記載の絶縁バリヤ。

## 【請求項13】

SOI基板の表面に絶縁内層に達する溝を形成し、該溝を絶縁物で埋め込むことによって、絶縁帯を形成したことを特徴とする請求項11記載の絶縁バリヤ。

## 【請求項14】

上記溝を、高誘電率の材料によって埋め込むことを特徴とする請求項13記載の絶縁バリヤ。

【請求項15】

絶縁内層に食い込む深さに溝を形成したことを特徴とする請求項11記載の絶縁バリヤ。

【請求項16】

SOI半導体基板上に、絶縁帯を形成して、該絶縁帯で囲んだ複数の電極領域と、高耐圧の保護層とを形成することによって、絶縁帯の側壁間で高耐圧の容量を形成した絶縁バリヤ、該基板上に形成した入力回路と出力回路とを、絶縁帯で囲んで絶縁分離したことを特徴とする絶縁カプラ。

【請求項17】

SOI基板上に、入力回路領域と出力回路領域と絶縁バリヤとを、該回路領域が絶縁バリヤを挟むように配置したことを特徴とする請求項16記載の絶縁カプラ。

【請求項18】

該絶縁カプラを形成した領域を、一まとめにして絶縁帯で囲んだことを特徴とする請求項16記載の絶縁カプラ。

【請求項19】

回路領域の内部を、絶縁帯によってさらに電源に直接接続する回路領域及び接地端子に直接接続する領域とに分離し、夫々絶縁帯で囲んだ回路領域としたことを特徴とする請求項16記載の絶縁カプラ。

【請求項20】

SOI基板上に入力回路及び出力回路を絶縁帯で囲んだ回路領域を形成し、絶縁バリヤを外付けとしたことを特徴とする絶縁カプラ。

【請求項21】

入力回路及び出力回路には各々PWM変調回路及びPWM復調回路を含むことを特徴とする請求項16記載の絶縁カプラ。

【請求項22】

入力回路及び出力回路には各々 $\Sigma\Delta$ 変調回路及び $\Sigma\Delta$ 復調回路を含むことを特徴とする請求項16記載の絶縁カプラ。



## 【請求項 23】

入力回路及び出力回路には各々 $\Sigma\Delta A/D$ 変換回路及び $\Sigma\Delta D/A$ 変換回路を含むことを特徴とする請求項 16 記載の絶縁カプラ。

## 【請求項 24】

入力回路及び出力回路には各々 $\Sigma\Delta A/D$ 変換回路及びデジタル再生回路を含むことを特徴とする請求項 16 記載の絶縁カプラ。

## 【請求項 25】

入力回路及び出力回路には各々デジタルドライバ回路及び $\Sigma\Delta D/A$ 変換回路を含むことを特徴とする請求項 16 記載の絶縁カプラ。

## 【請求項 26】

少なくとも、容量性絶縁バリヤと該入力回路と該出力回路を 1 つの半導体に集積化した、モノリシック絶縁カプラにおいて、容量性絶縁バリヤの出力信号を検出する検出回路の前に前置増幅器を配置したことを特徴とする絶縁カプラ。

## 【請求項 27】

絶縁バリヤと入力回路及び出力回路との間に非線型素子で構成した保護回路を配置したことを特徴とする請求項 16 記載の絶縁カプラ。

## 【請求項 28】

回路領域を CMOS 回路とし、該回路領域を、絶縁帯によってさらに PMOS 領域及び NMOS 領域に分離したことを特徴とする請求項 16 記載の絶縁カプラ。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

半導体素子、半導体素子上に形成したキャパシタ、特に高電圧を印加しても、素子を破壊せず危険電圧が二次側に通過しない高耐圧のキャパシタである絶縁バリヤ、この絶縁バリヤを用いて電気信号を伝達する絶縁カプラあるいは絶縁アンプ（以下、絶縁カプラと称す）、及び、これを用いたモデム回路、特に回線インターフェイス回路およびその IC、及び、これらを用いたモデムシステムに関する。

【0002】

【従来の技術】

通信分野では、公共性の高いネットワーク設備の保護と端末の保護のために、ネットワークと端末の境界(以下、回線インターフェイスと称す)に高い絶縁性を要求しており、従来から絶縁性の高い通信用の小型トランスが使われてきた。しかし、パーソナル端末の普及発展に伴いポータブル端末用として更なる小型化及び軽量化が要求されており、トランスに使用する材料や構造の改良では小型化の要求に十分答えられない問題が出てきて、絶縁カブラの応用が検討されている。

また、計測、医療などの用途では、センサと信号処理回路など、信号検出部分と信号処理部分とを絶縁する必要がある場合があり、絶縁カブラは、このような場合に、絶縁分離手段として知られている。

【0003】

これらは、信号電圧が100mV程度であるのに対して、商用電源が接触する場合も想定しているのでコモンモード雑音電圧は100Vあるいはそれ以上の電圧が加わる場合がある。これらの点から絶縁カブラと回線インターフェイスは、高耐圧、小型化、低価格化という観点で共通的な課題がある。

【0004】

絶縁カブラは、絶縁トランスの機能そのものでもあるが、信号伝達時に雑音の混入する問題があり、例えば、商用電源からの大きなコモンモード雑音電圧が加わると小信号伝送用のトランスでは信号伝送の用をなさない場合があり、専用のパルストランスを用いたトランス型絶縁カブラが使われている。また、絶縁トランスを用いた絶縁カブラは、一般にその実装形態が大きくなり、また、高価になりがちである。

【0005】

これを改善するために、発光素子と受光素子を組み合わせた光カブラを用いた絶縁増幅器が考案された。しかし、光カブラ型絶縁増幅器は、温度などで特性が変化しやすく、高精度化のために、発光受光ダイオードの数や配置、回路等の改善が提案されているが、高価である。また、ユーザーからは、更に小型化の要求があるが、特に、モノリシック半導体化しようとする、シリコン半導体プロセ

ス以外に発光、受光用の他の物質の半導体プロセスが必要で、何種類もの製造プロセスを使用することにより著しく高価になることが予想され現実的には実現出来ない。

## 【0006】

小型化、高信頼化、低価格化の目的で、容量性絶縁カプラが開発されている。絶縁バリヤを構成する個別部品としての高耐圧のキャパシタ技術は電力用あるいはサージ保護用セラミックキャパシタが知られており、これを用いた信号伝送用の回路ブロックは容量性絶縁アンプまたは容量性絶縁カプラと呼ばれ、1970年代から使われている。

## 【0007】

容量性絶縁バリヤを通じて信号を伝送する際の伝送方式には、主にPWM方式（パルス幅変調方式あるいはデューティ制御方式と呼ばれる）が使われるが、PWM技術は、この容量性絶縁カプラに使われる以前に、絶縁トランスや光カプラを用いた絶縁バリヤの構成技術として知られている。

## 【0008】

容量性絶縁カプラでは、さらに、小型化、低価格化、高信頼化を目的として、セラミック基板上に形成した小容量キャパシタの絶縁バリヤとフローティングコンパレータを用いて、デューティサイクル変調方式の絶縁増幅器が提案されている。また、さらに小型化するために容量値を下げる提案があり、約1ないし3pFと小さい絶縁バリヤを用いて伝達波形を微分波形とし、微分波形からFM（周波数変調）やPWM変調波形を再生してから、復調する絶縁増幅器の技術が提案されている。

## 【0009】

モデム等の回線インターフェイス応用では、USP4,757,528 [Thermally coupled Information transmission across electrical Isolation boundaries.]（以下528特許と称す）及び ISSCC86 conference record THPM14.3（以下“発表”と称す）で、Scott L. Falater (Harris Semiconductor) らは、容量性絶縁バリヤを用いたモノリシック半導体化のアイデアについて開示している。

また、モノリシック化ではないが、特開平7-307708号公報では、3つの容量

性絶縁バリヤとこれを用いたデジタルPWM信号伝送のモデム応用回路方式が提案されている。

【0010】

今後、これらの回路は、さらに、小型化、低価格化の要求があり、この観点で、これら従来技術を検討すると以下のような課題と問題点がある。

【0011】

528特許以前の技術は、高耐圧性能を有する絶縁バリヤと、入力信号を受けてPWM波形を作成する入力回路と、PWM波形を再生し復調する出力回路とは別部品であり、これらを組み合わせて実装し、1つの絶縁カプラとして構成している。例えば、セラミック基板上に容量性絶縁バリヤを構成し、同一パッケージ上に、2つ以上の半導体チップを実装して、絶縁カプラを構成している。つまり、多くの部品を使用した構成になっている。

【0012】

また、528特許及び発表では、モノリシック半導体で応用回路である回線インターフェイスを構成するアイデアとして、原理となる回路模式図と説明によって容量性絶縁バリヤとPWM伝送方式を用いることが示されている。また製法は、モノリシック半導体上にDI（誘電体分離）プロセスによる容量性絶縁バリヤとPWM回路からなる絶縁カプラを形成し、この絶縁カプラを組み合わせて、音声帯域の信号を伝送するとしている。しかし、開示されているのは熱パルスによる絶縁スイッチの制御に関する技術であり、モノリシック半導体基板上に、どのような構造の絶縁バリヤや回路を、どのような方法によって構成するのか、その結果どのように動作して、どのような効果を示すのかは開示されていない。

【0013】

さらに、特開平7-307708号公報では、従来1つの伝送パスに2つの絶縁バリヤが使われてきたのに対して、3つの容量性絶縁バリヤで3つの信号を伝送する回路構成が示されているが、どのように動作させて信号伝送するのかは示されていない。もちろん、これらの回路を絶縁バリヤを含めてモノリシック化する提案はない。

## 【0014】

## 【発明が解決しようとする課題】

ユーザーは、モデム回路や絶縁カプラの更なる小型化と低価格を要求しており、この実現のためには、モノリシック半導体化を進めることが必要不可欠だと考えられる。しかしながら、以上のような従来の技術は、モノリシックIC化絶縁カプラ、モノリシックIC化応用回路、及び、モノリシックIC化回線インターフェイス回路を実現するに当たって、容量性絶縁バリヤ、容量性絶縁バリヤを用いるための回路、それらの配置、配置した回路間の絶縁方法などを、半導体基板の上に、どのように構成して、どのように動作させるのかの技術については、開示されていない。従って、モノリシックIC化する際にどのようにして絶縁耐圧を実現するのか、また半導体上に作成した高耐圧容量の特性もまったく知られていない。

## 【0015】

また、複数の絶縁カプラを同時に平行して動作させる場合には、一般に、ある絶縁カプラの動作によって定常的にノイズが発生し、発生するノイズにより他の絶縁カプラにクロストークが生じて絶縁カプラの伝送特性に影響し、これによって、絶縁バリヤを経由して伝送する信号のS/Nが劣化する。特にモデム応用のように信号レベルが小さい上に、上りと下りの信号の振幅が大きく違う場合には小さなクロストークも問題である。しかし、これらの問題点に着目して対応した公知技術はない。

## 【0016】

本発明の目的は、モノリシックの絶縁バリヤ、及び、該絶縁バリヤを用いた絶縁カプラIC、及びこれを用いた応用回路IC、特に回線インターフェイス回路ICを実現することにある。

## 【0017】

本発明の他の目的は、半導体基板上に容量性絶縁バリヤを構成する技術を提供することにある。

## 【0018】

本発明のさらに他の目的は、半導体基板上に容量性絶縁バリヤを用いた絶縁カ

プラを構成する技術を提供するにある。

【0019】

本発明のさらに他の目的は、半導体基板上に該絶縁カプラを複数用いた応用回路とくに回線インターフェイスにおいて、その構造、配置、動作方法を提供する。さらに、絶縁カプラ間のタイミングの同期方法などタイミングハザードやクロストークによる信号の劣化を低減する技術を提供するにある。

【0020】

本発明のさらに他の目的は、該絶縁カプラを用いて回線インターフェイスを構成するに対して、回線で通信しないときに低漏洩電流を実現することにある。

【0021】

本発明のさらに他の目的は、該絶縁カプラにおけるサージ電圧に対する破壊耐力改善技術を提供するにある。

【0022】

本発明のさらに他の目的は、該絶縁カプラを使用することによってモデム装置を小型化することにある。

【0023】

【課題を解決するための手段】

本発明では、絶縁カプラとして、絶縁層を内層とする基板（SOI基板）の表面に絶縁層に達する絶縁性の帯（以下絶縁帯と称す）を形成し、該絶縁帯の側壁の間で形成した容量性絶縁バリヤ（キャパシタ）及び絶縁バリヤで囲んだ複数の回路領域を形成して絶縁カプラを形成する。なお、本発明の絶縁カプラでは、キャパシタ出力を受ける回路には少なくともキャパシタ出力信号用の増幅回路を設ける。また、モデム回路用の回線インターフェイス回路では、複数の容量性絶縁カプラと回線側回路と端末側回路とを設けたモノリシック回線インターフェイスICをDSPとAFEとからなるモデム回路と接続して動作させるに、DSPとAFEとこれら絶縁カプラの動作クロックのタイミングの同期を取ることで実現する。

【0024】

このようにすることで、絶縁層と絶縁バリヤによって高耐圧を実現し、増幅器

によってストレーキャパシタによる信号の劣化を補正し、動作タイミングを同期することによってクロストークによる信号の劣化を低減して、小型で高性能な絶縁カプラ及びモデムインターフェイス回路を実現することができる。

## 【0025】

以下さらに、本発明について、若干具体的に説明する。

## 【0026】

本発明では、絶縁層を内層とする半導体ウェーハを加工して、絶縁バリヤ、絶縁カプラ、絶縁カプラの応用回路、特に回線インターフェイス回路を形成し、必要に応じて絶縁層と配線層を重ねて、さらに、絶縁を兼ねた保護層を形成して半導体ICとする。各回路は、絶縁層と絶縁帯と絶縁保護層で囲み、絶縁する。絶縁帯とは、例えば半導体層の表面から絶縁層に達する1ないし3ミクロン幅程度の帯状の絶縁パターンであり（厚さは半導体層の厚みに等しく、例えば10ないし50ミクロンになる）、絶縁帯は、半導体面から絶縁内層に達する所定パターンの溝を形成しこれを絶縁物で埋め込むトレンチ法、また、半導体層に酸素イオンを打込んで絶縁領域を作成するイオン打込み法などによって形成する。以下、絶縁帯で囲んだ部分を電極領域、回路領域などと“領域”を付けて称す。

## 【0027】

本発明の絶縁カプラの回線インターフェイス応用では、複数の絶縁カプラを内蔵する必要があるが、この場合、複数の容量性絶縁カプラと回線側回路と端末側回路とを設けたモノリシック回線インターフェイスICをDSPとAFEとからなるモデム回路と接続して動作させるに、DSPとAFEとこれら絶縁カプラの動作クロックのタイミングの同期を取る。また、モデム信号受信用の絶縁カプラの搬送波クロックは、直流閉結制御信号伝達用カプラのクロックから再生して用いる。また、直流閉結制御は、絶縁バリヤを使用したチャージポンプ回路によってCMOSスイッチを駆動して直流閉結する。

## 【0028】

本発明の絶縁カプラにおける絶縁バリヤは、絶縁帯で囲んで電極領域を形成し、複数の電極領域が絶縁帯の一部を共有するように、また、共有長が必要な容量値を得る長さになるように配置してキャパシタを構成する。なお、3つ以上の電

極領域が2つ以上の絶縁領域を共有するように絶縁帯の形状及び配置を設定することによって、直列接続したキャパシタを形成するようにしてもよい。また、絶縁内層は、該絶縁帯の幅に対応した絶縁性能を持つ厚さとする。

## 【0029】

本発明の絶縁カプラは、該絶縁バリヤと入力回路と出力回路とを同一ウェーハ上に形成することで実現する。各回路は、各々絶縁帯で囲んで他の部分と絶縁する。絶縁バリヤは、原則として入力回路領域及び出力回路領域の境界に配置する。また、これらの回路領域と絶縁バリヤを一まとめにしてさらに絶縁帯で囲むようにする。入力回路及び出力回路には各々PWM変調回路及びPWM復調回路、あるいは、目的によっては、他の回路、例えば、音声周波数帯の信号では $\Sigma\Delta$ 変調回路及び復調回路など、振幅方向だけではなく時間軸方向もデジタル化した回路を含める。なお、絶縁バリヤと入力回路及び出力回路との間にダイオードなどの非線型素子で構成した保護回路を配置する。保護回路は回路領域の内部に配置する。

## 【0030】

本発明の応用回路は、さらに、絶縁カプラに、さらに、絶縁帯で囲んだ応用回路領域を配置することで実現する。複数の該絶縁カプラを含む場合には、絶縁バリヤを絶縁バリヤ配列ラインに沿って配列してもよい。複数の絶縁カプラを動作させる場合には、搬送クロックは必要に応じて同期させる。回線インターフェイス回路への該絶縁カプラの応用では回路領域にCMOS回路を含むように、特に、CMOS回路領域をさらに電源線に接続するPMOSグループ及び接地線に接続するNMOSグループに分けて、絶縁帯によって分離してもよい。電源配線は複数の絶縁カプラ間にレイアウトする。各絶縁カプラの周囲を電源線及び接地線で囲んでもよい。例えば、CMOS回路にすると、制御電流が不要な電圧制御、および、高オフ抵抗が得られる利点がある一方で寄生トランジスタを含めたPMOSとNMOSの貫通現象つまりラッチアップが生じがちであるがこのように領域を分離することで生じにくくできる利点がある。

## 【0031】

絶縁内層ウェーハを用いることで厚さ方向の高耐圧を実現し、同一ウェーハ上



に共有する絶縁帯持つ2つの電極領域を形成することで極めて小型の絶縁バリヤを実現し、また、同一ウェーハ上に該絶縁バリヤと入力回路及び出力回路の2つの回路領域を形成することで極めて小型の絶縁カプラを実現できる。さらに、電極領域を重ねることで容量を直列に接続して水平方向の高耐圧を実現することにより、プロセスの制約から、1つの絶縁帯の幅を広げられない場合でもさらなる高耐圧を実現できる。さらに、直列容量の配置に際して中間電極をフローティングとすることで強電界部分の跨ぎ配線を少なくなくすることができる。

#### 【0032】

複数の絶縁カプラを用いる応用の場合には、電極及び絶縁帯など容量性絶縁バリヤの配置を描えることで、絶縁性能を均質にすることができる。

#### 【0033】

回線インターフェイス応用の場合に、複数の絶縁カプラの搬送クロックを同期化することで、伝送信号へのPWMクロストークを最小にすることができる。また、回路方式をCMOS回路方式とすることで、回線接続スイッチである直流閉結の制御回路を、チャージポンプを用いて、電圧制御することができる。CMOS回路方式は、オフ時のスイッチの高インピーダンスを実現し、低漏洩電流を実現する。なお、絶縁バリヤの各端子には外部接続端子と同様に保護回路を設けることで、サージ雑音によるデバイス破壊を防止することができる。

#### 【0034】

##### 【発明の実施の形態】

以下、実施例にしたがって本発明を説明する。

#### 【0035】

図1から図9を用いて本発明の1実施例であるモデム装置について説明する。

図1は本発明の1実施例のモデム装置の回路ブロック図であり、図1において、1はモデム、2は回線インターフェイス回路であり、モデム1はDSP (Digital Signal Processor: デジタル信号処理専用プロセッサ) 3およびAFE (Analog Front End) 4から、また、回線インターフェイス回路2は端末側回路5、絶縁カプラ6、回線側回路7、高電圧回路8からなっている。モデム1の中のDSP 3とAFE 4の役割は、DSP 3がデジタル信号処理、AFEがデジ

タル回路とアナログ回路とのインターフェイスを受け持っている。モデム機能の大部分は、DSP 3 が受け持つ。即ち、DSP 3 は、端末との間のデジタル情報をやり取りする一方で、デジタル信号処理によって変調、復調、符号化、復号化、フィルタ処理の処理を行いAFE 4 とデジタル信号をやり取りする。AFE 4 は、AD変換やDA変換及びフィルタなどを受け持っている。回線インターフェイス 2 は、モデムのアナログ信号を直接に電話回線に接続すると同時に、モデムに対応する交換機との間で、回線側回路 7 及び高電圧回路 8 によって、回線接続、ダイヤル信号送出、着信信号検などの信号をやり取りする機能を持っているほかに、交換機と端末との間の安全上のインターフェイス機能が必要で絶縁カプラ 6 は、この安全上の境界になるものである。

【0036】

DSP 3 の内部はROM (Read Only Memory: 読み出し専用メモリ) 31, PU (Processing Unit: 演算ユニット) 32, RAM (Random Access Memory: 読み書きメモリ) 33, システムインターフェイス 34, SOR (シリアル出力インターフェイス) 35, SIR (シリアル入力インターフェイス) 36, I/O (入出力インターフェイス) 37, CONT (DSP 内部の制御部) 38 からなっており、3つのバス 39-1, 39-2, 39-3 で接続している。DSP 3 はDSP のシステム制御回路CONT 38 内のソフトによって制御され、約40 MHz で動作し、HOST-IF を通じた端末装置からの指令により動作し、またデータを授受する。通常のもデムは送信と受信の同時通信能力があり、送信データは、ホスト-IF から入力すると一旦RAM 33 に蓄積されROM 31 内のデータ、既に蓄積された送信信号を用いて信号変換や符号化やフィルタ処理を施してSOR 35 を通じて出力される。また、受信信号はAD信号をSIR 36 から入力した後、RAM に格納してある送信信号や既に受信した信号とROM 31 内のデータを用いて各種フィルタ処理や判定処理、符号変換、などを行う。I037 はDSP 3 から外部の回路を制御するための制御信号入出力機能を持っている。AFE 4 は、DA変換器(Digital to Analog converter: デジタル信号をアナログ信号に変換) 41, AD変換器(Analog to Digital converter: アナログ信号をデジタル信号に変換) 42, クロック分周器 43 からなっており、主として、

フィルタや変復調処理をつかさどるDSP3がモデム信号を入出力するインターフェイス手段をになう。端末側回路5は、データ及びクロックの接続回路である。絶縁カプラ6は、送信パス61, 受信パス62, OFHKパス63, Rdetパス64からなっており内部構成や動作についての詳細は、後述する。回線側回路7は、2線/4線変換回路71, SW制御回路72, OSC(ローカル発信回路)73からなっており、2線/4線変換回路71は送信信号パスと受信パスの計4線と回線側の2線とを送信信号が受信側に回り込むのを抑制するハイブリッド回路手段である。高電圧回路8は、直流閉結回路81及び呼出信号を検出するRing(呼出信号)検出回路82からなっており、直流閉結回路81は回線接続する2つの端子TIP及びRINGに接続して、制御信号OFHKのパス63およびSW制御回路72により直流ループを作る手段である。

#### 【0037】

このモデム回路の構成上の第1の特徴は4つの絶縁カプラ6によって回線側と端末側の回路を分離していることである。当然電源も分離しており、回線側電源は、交換局からの給電を用い、端末側は端末の電源を用いる。第2の特徴は基本クロックをDSP3から供給していることにあり、図中太い矢印線で示したように、タイミング信号は、モデム3のCONT38から供給したクロック信号DSPCLKを用いてクロック回路43からモデム内のAFEのAD変換タイミング(MCLKS), DA変換タイミング(MCLKR), モデム3のデータ伝送タイミングを得るとともに、回線インターフェイス回路2に供給して絶縁カプラ6の送信パス61及び制御信号送出用絶縁カプラのOFHKパス63に与える。一方、モデム信号の受信パス62はOFHKパス63の再生クロックを用い、また、制御信号受信用絶縁カプラのRdetパス64は受信待機からRING信号受信時のみ有効なのでOFHK信号で発振を制御するものとする。このようにすることでRdet信号パス以外はモデム1内のDSP3の動作タイミングに同期してする。このようにすることにより後述する効果が得られる。

#### 【0038】

次に、図2を用いてこの回路のモデム機能としての動作を説明する。図2には、送信時(a)と、受信時(b)に分けたタイミングチャートの一例を示してい

る。送信時は、最初に、端末からの指令に従ってDSP3がI/O37を制御して直流閉結制御信号OFHKをオンする(T1)。直流閉結に対して、回線(即ち、交換機)が応答したならば(T2)回線インターフェイス回路2からダイヤル信号を送出する。これは、OFHK端子を回線規格に合わせてオンオフし直流閉結をオンオフすることで実施する。例えば日本では10PPS(pulse per second以下同じ)または20PPSである。ダイヤル信号送出手を終えると(T3)、端末は、回線が相手側モデムと接続されるのを待って(T4)、モデム1を起動し送信を開始する。モデム1は起動指令にしたがって、あらかじめ決められた手順にしたがってDSP3のSOR35およびAFE4のDA変換器41を通じて送信信号TXA+およびTXA-を発生し、相手モデムとの通信を立ち上げる。回線インターフェイス回路は、TXA信号を絶縁カプラ6の送信パス61を通じて2線/4線変換回路71に供給する。2線/4線変換回路71では受信側への回り込みを低減して、直流閉結回路81を通じてTIP及びRING端子から回線に送信信号を送出する。この送信信号に相手モデムが応答する(T5)と回線に相手モデムの信号が見えて、逆の経路をたどって、2線/4線変換回路71で受信信号が選別され、絶縁カプラ6の受信パス62、AFEのAD変換器42、DSP3のSIR36を経由してモデム1に引き渡され、DSPの信号処理によって増幅し、フィルタ処理し、復調し、デジタルデータを復元し、受信データとしてホストに引き渡す。通信を停止するときには、端末は、モデム信号のより上位のプロトコルによって端末同士の停止情報をやり取りした後で夫々のモデムに停止指令を出し(RSオフ)、モデムがこれに応じて信号を停止する(T6, T7)。このやり取りを終えた時点で(T8)OFHKをオフする。このようにすると、回線接続端子TIPとRING間にはT1からT8までの各タイミングに対応して概略図2の“TIP-RING間”のような信号が現れる。

#### 【0039】

受信時には、回線側からRING信号によって起動がかかり(T1)、回線インターフェイス回路は、これをRING検出回路82で検出すると、速やかに絶縁カプラ6のRdetパス64を通じてモデム3に伝達する。モデム3は、これをI/O回路37で知り、これに应答すると送信時同様に直流閉結制御信号OFHK

を出力して直流閉結する（T2）。直流を閉結すると局の交換機はRING信号を停止する（T3）ので回線の整定時間を待って（T4）相手モデムがモデム信号を送信してくるので、これを信号RXA+およびRXA-として受信して、受信側モデムがモデム信号であると認識すると、これに応答して送信を開始する（T5）。通信が完了するときも、T6, T7, T8と、送信時とほぼ同様のシーケンスで終了する。これらの受信動作の間、T1からT8までの各タイミングに対応して回線には図のような信号（模式的に示す）が現れる。この動作自体は、規格にのっとって動作することであり、公知である。

#### 【0040】

図3は、図1の実施例内の絶縁カプラ6の一パスの回路ブロック図であり、図3において、9-1および9-2は後述する容量性絶縁バリヤ、21は入力回路、22は出力回路で、この絶縁バリヤによってモデムの端末と交換機との間の安全上の境界を実現している。入力回路21は、端子103を電源及び信号入力とし、変調回路104、駆動回路105、保護回路106からなっており、入力されたアナログ信号を変換及び変調してPWM信号に変換し、絶縁バリヤ9-1及び9-2を通じて出力回路22に信号を伝達する。出力回路22は、保護回路107、検出回路108、復調回路109からなっており、端子110から電源を供給し、絶縁バリヤ9を通じて来た信号を検出回路108で検出し、検出信号から積分回路135及び比較回路137によってPWM信号を再生し、また、PWM信号から入力信号に対応したアナログ信号を再生する。また、検出した信号からタイミング信号を抽出して、これらの信号を出力する機能がある。

#### 【0041】

入力側の端子103には、電源端子VDD1およびVDD2、接地端子VSS1、信号入力として+と-の差動入力、また、変調タイミングとなるクロック入力端子がある。変調回路104は、比較回路111、および搬送波発生回路112からなっている。駆動回路105は、PMOSトランジスタ113および114とNMOSトランジスタ117および118とからなるインバータドライバである。保護回路106は、ダイオード121, 122, 123, 124と抵抗129, 130からなり、出力回路22側からのサージ電圧進入による回路破壊を防止

する。出力回路22側の保護回路107は、抵抗131, 132、およびダイオード125, 126, 127, 128からなり、検出回路108のトランジスタのゲートを保護している。PMOS115, 116およびNMOS119, 120は帰還抵抗133及び134を持つインバータ構成の検出回路である。検出回路108の出力は積分回路135に接続する。積分回路135は、インバータ出力信号からPWM波形を再生する。136は搬送波のタイミングを再生する回路であり、137は比較回路である。出力回路側の端子110は、電源端子VDD3, VDD4とVSS2から電力を供給して、処理結果の相補型の信号出力+, -とタイミングクロックを出力する。この構成の特徴は、(1) 2つの絶縁バリヤ9-1, 9-2を用いていること、(2) 外部クロック入力であること、(3) 再生クロック出力があることである。なお、通常の入出力保護回路であるために表記しなかったが、この回路ブロック図における端子103のうち、信号入力+と-およびクロック入力には、絶縁カプラとして単独使用する場合には、入力保護回路を設ける。また、この回路構成の説明ではPMOS及びNMOSの組み合わせとして示したが、目的によっては、バイポーラプロセスや混在プロセスであってもよい。また、絶縁カプラを単体使用するのが目的であるときには、クロックを内部発生せさせるようにしてもよい。

#### 【0042】

次に、図4を用いて、この実施例の絶縁カプラの動作を説明する。図4は、図3の絶縁カプラの動作タイミングチャートであり、信号伝送方式は、PWM（パルス幅変調）方式である。伝達すべき波形である入力信号の周波数帯域（ここでは最大約3.4kHz）より十分高い（ここでは1.2288MHz：256倍以上）搬送波を用い、時間軸を細かい周期T毎に分け、各時刻における入力信号の大きさを各々のパルス幅tに変換して伝送する。入力信号が0ボルトのときに $t/T = 0.5$ 、つまり、50%デューティで、入力信号が正に大きくなるほどパルス幅を大きくし、入力信号が負に大きくなるほどパルス幅を狭くするように、デューティ変換する。なお、入力信号は、コモンモードノイズの影響を低減するために入力信号+及び入力信号-と差動入力としているがこれも目的によっては使い分けることであり必須ではない。

## 【0043】

図4は正弦波を＋入力端子に加えた場合を模式的に示している。絶縁カプラの外から入力した矩形のクロックを搬送波発生回路112によって鋸波形に変換して、搬送波とする。変調回路104は、比較回路111であり、これらの入力信号を受けてパルスのデューティを変化させた出力PWM＋及びPWM－を出力する。駆動回路105は、このPWM＋およびPWM－波形を駆動回路105に入力し、保護回路106を通じて絶縁バリヤ9-1，9-2の一方の端子に与える。絶縁バリヤ9-1，9-2のキャパシタ値は、約1pFである。保護回路106は、数十ns程度以下の高電圧サージ波形に効果があるような定数にしてあるので、この駆動波形にはほとんど影響しない。絶縁バリヤ9-1，9-2の他方の電極は、保護回路107を通じて検出回路108に入力する。この検出回路108は、インバータ及び積分回路135である。インバータ出力は検出信号＋及び－のように微分波形であり、また、ストレー容量のために著しく減衰しているので、インバータで一旦増幅して積分回路135に入力する。積分回路135は＋及び－の2つの入力を有する積分器であり、微分波形を入力信号とすることにより図に示すような再生PWM信号＋及び－を出力する。タイミング再生回路136は、PLL回路で、再生PWM信号からタイミング信号成分を抽出する。タイミング波形を用いて鋸波形を作成し、これを再生PWM信号のタイミングでサンプルホールドすると出力信号＋及び－のような復調波形を再生することができる。なお、この絶縁カプラの回路動作について説明したが、本発明の実施に当たって、PWMの実現方法は、他の方法でもよい。例えば、変調波形は、三角波としてもよい。三角波を用いると、変調波形の中心タイミングが一定となるので、例えば、復調回路においてPLLのような高精度のタイミング再生方式を採用できる効果がある。また、出力回路では、積分回路の代わりにセットリセット型のフリップフロップを配置してもよい。インバータ出力である微分波形の立ち上がりタイミングは、PWMのタイミング情報そのものであり、負荷抵抗やインバータの特性等を適当に選ぶことによって、そのままフリップフロップの制御信号とすることができる。フリップフロップの出力はPWM波形そのものである。

【0044】

この動作タイミングの特徴は、送信信号、受信信号、回線接続制御信号の3つの制御信号伝達が平行していることである。このために絶縁カプラを用いた回線インターフェイスでは、信号のクロストークが雑音となってSN比を劣化させる。そこで、この実施例では、DSPの動作タイミングとモデム処理タイミングと絶縁カプラのタイミングとを同期させて、この劣化を抑制している。これを、次の図5を用いて説明する。

【0045】

図5(a)(b)はモデム信号処理と絶縁カプラの動作のタイミング関係を示しており、本実施例の回路構成の特徴は、回線インターフェイス回路の動作タイミングをモデムより供給し、IC内部の回路動作をこのクロックに同期していることである。図5において(a)はモデム信号処理部分であり、タイミングチャートは模式的であるがチャートの右側に示したような関係にしている。即ち、モデム信号処理部分では、DSPを39.3216MHzで動作させ、AFEには1.2288MHzを供給してDA変換タイミングMCLKSおよびAD変換タイミングMCLKRとして用いる。DA変換及びAD変換方式は256倍オーバーサンプル方式であるため実質は9.6kpspsである。(b)は回線インターフェイス部分のクロックタイミング関係であり、DSPから供給したクロック信号DSPCLKをNCLKSとして絶縁カプラ6の送信信号パス61および制御信号パス63に供給することでモデムの動作タイミングと同期させる。受信信号パスNCLKRは制御信号がオン状態のときのみ動作すれば良いので図のようにゲートした波形になっている。また、RdetパスのタイミングCLK2は回線側回路にてローカル発振するがモデム間の信号のやり取りをする際に制御信号OFHKによって停止させる。

【0046】

このようにDSP、AFE、絶縁カプラの動作タイミングを同期させることによる効果を図6を用いて説明する。

【0047】

図6において、(a)は鋸波形を搬送波とする場合のPWM変調タイミングを



示している。変調は、クロック信号を積分して搬送波形となる鋸波形を作成し、伝送信号と比較することでPWM変調波形が得られる。ここでは受信信号と送信信号とOFHK制御信号を示している。受信信号は図11のRXA+, -に示すように、回線での伝送損失の影響を受けて振幅が小さく、-20から-45dBm程度である。これに対して送信信号は、自分から送信するので振幅が大きく通常は-6から-15dBm程度である。制御信号は、5Vのロジックレベルであり最大値である。これらの振幅をPWMデューティに変換すると図のように、小振幅の信号は振れ幅が狭く、大振幅の信号は大きな振れになる。また、信号の性質は、モデム波形は交流信号であるので図のように振れが見え、制御信号は止まってみえる。本実施例では、各絶縁カプラのタイミングを同期しているので図6のように、搬送波形、変調波形、制御信号のPWM波形が整列し、相互の干渉を最小にしている。また、モデム回路では、送受信の信号を所定のタイミングでADあるいはDA変換しているがモデムからもらうクロックをこれに同期したものとすることでPWM部分で周期T毎にサンプリングしても、影響を最小にすることができる（非同期ではビート雑音の影響がある）。

【0048】

クロストーク低減の原理をもう少し詳しく説明すると以下ようになる。

【0049】

パルス幅変調の絶縁カプラを複数個同時に動作させると、PWM波形が重なって、立ち上がりや立ち下りの位置が近づくので、デバイスや回路の電気的な結合によって、自回路の動作によって自回路に発生した雑音が他の回路の動作に影響して、他の回路の立ち上がりや立ち下りのタイミングを乱す相互干渉、いわゆるクロストークが生じる。NCU用に3～5個の絶縁カプラが必要な場合にアナログデータ伝送のためにPWM絶縁カプラを用いる応用では、この乱れによって波形歪みが生じ、この歪みによって伝送信号のS/Nが劣化するので、例えば音声信号であれば雑音が増え、モデム応用では伝送誤りとなる。PWMの搬送クロックタイミングを同期すると図に示すように少なくともロジックレベルのタイミングとアナログ信号のタイミングとの重なりを分けることができる効果がある。また、後述するようなロジックレベルのPWMだけを用いるシステムの場合で

もタイミングの乱れがロジックレベル付近に限定されるのでクロストークの影響を最小とする効果がある。

【0050】

図6(b)は三角波形搬送波に適用した場合の、PWM変調タイミングを示している。この場合には、搬送波が三角波形となるために三角波の両側にPWM変調タイミングが現れる以外、基本的には同じ問題を含んでいるが、この実施例のようにすることで、同じ効果が得られる。なお、着信検出信号Rdetを伝達する絶縁カプラ105用のクロックは回線側に配置した発振器OSC112にて発生しているために他の絶縁カプラの動作とタイミングが合わないが、OFHK制御信号を入力したときに発振を禁止するようにしており、この作用によって発振回路の動作が、モデム通信を始める以前に停止するので、これによってクロストークの影響を抑制できる効果がある。

【0051】

図7は、この回線インターフェイスICのレイアウト構想図である。図7において、2は回線インターフェイスICであり、206-1、206-2、206-3は絶縁帯であり、それぞれ、回線側の端子領域201および回線側回路領域202、端末側回路領域204及び端子領域205を囲んでいる。203は絶縁カプラ配列領域で図1に示す4つの絶縁カプラを1列にならべて配列している。このレイアウト上の特徴は、(1)容量性絶縁バリヤを用いた絶縁カプラを4個用いたこと、(2)回線側回路と端末側回路とを絶縁カプラで配列で分離するように幾何学的に揃えたこと、及び、(3)回線側回路及び端末側回路の各々を絶縁帯で囲んだことである。絶縁帯とは、これによって、回線側、端末側、夫々の回路が絶縁分離されて、各領域の中は、一次回路と二次回路間の耐圧を意識せずに自由に設計でき、また、同時に、絶縁能力の評価、管理等が簡素化される利点がある。

【0052】

なお、この集積回路のパッケージ実装に当たっては、最終的にはパッケージの外に出る部分の空気絶縁に耐える絶縁距離を確保するとともに、内部をモールドして絶縁処理を施すことは言うまでもない。

## 【0053】

次に、図8を用いて、図7の絶縁カプラ部分の構造について説明する。図8 (a) は平面図、図8 (b) は断面図であり、いずれも駆動回路及び検出回路のみを模式化して示している。図8 (a) において、203は絶縁カプラ領域であり、206は絶縁帯、207は絶縁バリヤ、211は入力回路領域、212は出力回路領域である。絶縁帯206は、206-1から206-6まで多くのパターンを形成している。なお、絶縁バリヤ207の部分の符号は、煩雑なので一部省略しているが同様である。入力回路領域211および出力回路領域212は、さらに、PMOS領域213, 214, 215, 216およびNMOS領域217, 218からなっている。入力回路の入力端子としては駆動回路の2つのインバータ入力端子IN1, IN2を示す。また、出力回路の出力端子としては、検出回路の2つのインバータ出力端子OUT1, OUT2を示す。VDD1からVDD4は分離した電源端子、VSS1およびVSS2は、分離した接地端子である。平面図(a)の特徴は、(1) 回路領域を絶縁帯2によって分離していること、また、(2) 絶縁バリヤ1として、絶縁帯2を櫛の歯状パターンに形成して、対抗面積を稼いでおり、また、(3) 4つのキャパシタを、横方向に直列接続して2組みの絶縁バリヤを形成していることである。これらは、前述のように相補的なPWMデジタル波形で駆動する。2組の絶縁バリヤ間のクロストークは少ないが、問題にするような用途の場合には、これらの間に、即ち、横方向に長いスペースや電源パターンVDD, VSSの配線パターンを用意して、絶縁バリヤの間に配置して結合を緩くすると効果がある。また、絶縁カプラを複数使用する場合にも同様な配置で効果がある。また、回路領域の中でPMOSの領域とNMOSの領域とは絶縁帯によって分離する。この分離で、仮に回路に予期せぬサージ電圧が印加されても寄生トランジスタの導通による電源間の短絡、貫通、即ちラッチアップ現象は原理的には生じない。

## 【0054】

図8 (b) において、231は基板、232は絶縁層、233は半導体層、234は保護層であり、多くの絶縁帯206によって半導体の領域が形成され、左から、入力回路領域211, 絶縁バリヤ207, 出力回路領域212を配列し

ている。この構造は、この実施例では、約2ミクロン厚さの $\text{SiO}_2$ を絶縁層として内層としたシリコンウェーハを用意し、この上にホトマスクを使用した薄膜プロセスを用いて各領域を作成している。図8(b)において、206-1から206-6の絶縁帯は、約 $1.5\mu\text{m}$ 幅の $\text{SiO}_2$ 層である。構造的には、絶縁層を内層としたシリコンウェーハ上に、入出力回路領域、絶縁バリア領域等の、各領域を絶縁帯206によって区分して形成して、さらに、保護層234を重ねたようにしている。シリコンウェーハは、単結晶シリコンの基板231に、 $\text{SiO}_2$ 一層、あるいはさらに表面を酸化したポリシリコンを重ねた多層の絶縁層232を重ね、さらに単結晶シリコンの半導体層を重ねた構成になっている。張り合わせは、この実施例では、ポリシリコン表面のシリコン酸化膜の表面を鏡面研磨して重ね合わせた後に特定温度で熱処理によって接合する方法を用いる。絶縁帯206は、 $\text{SiO}_2$ 層であり絶縁物である。保護層234は、 $\text{SiO}_2$ 、HLDあるいは $\text{SiN}$ などの絶縁物でありこの層の中にポリシリコンやアルミニウムによる配線層を含んでいる。絶縁帯206は、一旦、溝(トレンチ)を掘って $\text{SiO}_2$ やBPSGで埋め込む方法、トレンチ側壁を薄く酸化してからポリシリコンを埋め込む方法、あるいは、PIQやSOGを塗布する方法、あるいは、上面からの酸素イオン照射で半導体層を絶縁体に変えるなどの方法で形成する。キャパシタは、3つの電極領域236, 237, 238と絶縁帯206で構成する。このようにすると、絶縁層232の厚さに比べて絶縁帯206の幅に制限がある溝掘り方式の場合でもキャパシタを直列接続することで絶縁耐圧を確保することができる。

#### 【0055】

また、電氣的な要求が絶縁帯1つの耐圧で良い場合にもこのようにすることで2重絶縁を実現することで信頼性の高い部品とすることができる。なお、入力回路領域211と出力回路領域212は断面で示すと235および239であり、これらは、2つの絶縁帯で囲まれており、高い絶縁耐圧が得られる構造になっている。このように、複数の回路を基板から絶縁帯及び絶縁層によって物理的に絶縁しているので、この集積回路は、パッケージ実装に際して、フレームに直接接着することができ、熱放散が良い利点がある。

## 【0056】

次に、図9によって、図8の絶縁カプラにおける絶縁バリヤ部分の構造をさらに説明する。図9において、(a)は平面図、(b)(c)は平面図(a)におけるA-A'断面図である。図9(a)において、207は絶縁バリヤ、206-1, 206-2, 206-3は約1.5ミクロン幅の $\text{SiO}_2$ で形成した絶縁帯、241, 242, 243は絶縁帯206で囲んだ電極領域、244および245は電極領域241および242上部の保護層に開けた穴である端子である。図9(b)において、231は約400ミクロン厚さのSi基板、232は約2ミクロン厚さの絶縁層、233は約15ミクロン厚さの半導体層、234は約5ミクロン厚さの保護層であり、他の符号は(a)と同じである。

## 【0057】

断面図からわかるように、絶縁層を内層としたシリコンウェーハ上にホトマスクを使用した薄膜プロセスを用いて各領域を作成している。絶縁帯2は、 $\text{SiO}_2$ 層であり絶縁体である。絶縁帯206は、一旦、溝(トレンチ)を掘って $\text{SiO}_2$ で埋め込む方法、あるいは、上面からの酸素イオン照射で半導体層を絶縁体に変えるなどの方法で形成する。キャパシタは、3つの電極領域241, 242, 243と2つの絶縁帯206-1, 206-3で構成する。絶縁帯206を図示したように帯を折りたたむようにパターン化して電極241, 242と243が接する長さを長くすることで小さな半導体面積で効率よく容量値を得るようにしている。ちなみに、この実施例では約160ミクロンの正方形で約2pF、耐圧は直流耐圧試験で1絶縁帯当たり約750Vの絶縁性能が得られている。端子244および245間に高電圧を印加するが、絶縁バリヤ207の外側からみて、電極領域241, 242を絶縁帯で2重に囲んだパターンになっている。なお、絶縁帯206のパターンを形成するに当たっては、鋭角のパターンが生じないように、折りたたむ部分や角部分には、可能な限り円弧パターン(半径2ないし5ミクロン)を用いる。絶縁帯206-2の部分は他の回路部分と絶縁分離するために必要である。図9(c)は、絶縁層1層当たりの厚さを厚くできない場合の構造図で、絶縁層を2層とすることで実効的な耐圧を稼ぐことができる。また、多層構造のICには反りが少なからず見られるが、絶縁層を多層とし各層の厚

さを調節することで、応力を分散して反りを軽減する効果もある。

【0058】

なお、図7のように絶縁カブラを1列に整列してレイアウトした例を示したが、図10に示すように絶縁バリヤの配列は変形可能である。すなわち、図10は回線インターフェイスICの他のレイアウト構想であり、同図のように、絶縁カブラを2つずつ直角方向に配列している。回線側回路と端末側回路との間には1500V<sub>d.c.</sub>の試験電圧が印加されるが、各々の回路領域は、SOI基板上に夫々絶縁帯で囲って配置してあるので、かなり自在なレイアウトが可能である。但し、領域間の配線及び端子の配列やサイズによって、制約を受ける。なお、このレイアウトの場合、回路領域や端子数にアンバランスがある場合に、効率的な領域配置ができる特徴がある。

【0059】

次に、図11を用いて本発明の絶縁カブラの伝送方式を説明する。図11には、ブロック図により、(a)から(f)までの各種の伝送方式を示している。絶縁バリヤは、本発明のキャパシタである。本発明の絶縁カブラは、絶縁バリヤを2個使用し、レシーバ側をフローティングとしても正確に信号伝送できるように相補波形で駆動する。入力回路は、電源端子VDD1と接地端子VSS1とから電源供給を受け、入力端子から受けた信号を絶縁バリヤの一方の端子を駆動する波形に変換して出力する。出力回路は、電源端子VDD2と接地端子VSS2とから電源供給を受け、絶縁バリヤの反対側の端子に現れる波形を検出し出力信号に変換して出力する。変換波形は、振幅方向のみデジタル化するPWM(パルスデューティ変換)あるいはFM(電圧一周波数変換)、又は、時間軸方向もデジタル化したデジタル伝送方式など様々な方式を使用することができる。

【0060】

図11(b)は、PWM伝送方式の場合を示している。PWM方式は、入力回路で、入力したアナログ信号を信号帯域の数十倍以上の一定周期Tでサンプリングし、振幅を時間軸方向のデューティ(0V入力を50%デューティ)に変換して伝送し、出力回路では、これを検出して、再びデューティを振幅値に変換することで入力波形を再生し、アナログ信号を出力するものである。デューティをア

ナログ処理することで、原理的には高い分解能を得ることができる。もちろん効率は悪いがデジタル信号を伝送しても良い。

【0061】

(c) は、本発明のデジタル伝送の場合を示している。デジタル伝送では、伝送波形に同一レベルが続かないように例えばマンチェスタ符号などのような符号変換を施してから、絶縁バリヤを駆動し、出力回路では、これを検出して、逆変換し元のデジタル信号を再生する。この場合は入力デジタル信号の転送周波数に同期して符号変換および逆変換を行う。この方法は振幅方向の変換が少ないので雑音の影響を受け難い特徴がある。

【0062】

(d) は、AD変換入力を絶縁バリヤを通じて行う場合を示している。入力回路では、アナログの入力信号をAD変換し、さらに、(c)と同じ符号変換を施してから絶縁バリヤを駆動する。出力回路では、これを検出して、逆符号変換してからデジタル信号を出力する。

【0063】

(e) は、逆にDA変換出力を絶縁バリヤを通じて行う場合を示している。入力回路では、デジタルの入力信号を(c)と同じ符号変換を施してから絶縁バリヤを駆動する。出力回路では、これを検出して、逆符号変換してからDA変換してアナログ信号を出力する。

【0064】

(f) は、(d)と(e)とを組み合わせるアナログ信号の入出力をAD変換及びDA変換を用いて実施する場合を示している。(d)から(f)の信号伝送方式は、デジタル信号の接続先をDSPとすることにより、モデムなどの音声信号処理アナログフロントエンド及び回線インターフェイスに好適な構成である。

これらの方式は部分的には以前から提案されている方式であるが、本発明によりモノリシックICに集積化することが可能になる。具体的に言えば、上記した容量性絶縁バリヤは、2つの回路の間を結合するための回路であるが、基板との間のストレー容量が大きく、入力回路、出力回路、絶縁バリヤを別々に作成して組み合わせる場合とは大きな違いがある。即ち、絶縁バリヤでの伝送効率が数分

の一と悪いのである。上記した実施例では、出力回路の初段に増幅回路を配置して後に検出処理、復調処理を行うようにしている。

【0065】

図12は本発明の他の実施例のモデム装置の回路ブロック図である。

【0066】

図12において、251は、この実施例の回線インターフェイスICであり、252は端末側回路、253は絶縁カプラ、254回線側回路、255は高耐圧回路である。また、端末側回路252は、DSPインターフェイス256、モデムデータの出カインターフェイスS0R261、モデムデータの圧縮回路262、送信側マルチプレクサ263、汎用出力レジスタのマスタレジスタG0RM264、誤り訂正回路265、受信側マルチプレクサ266、受信モデムデータの伸長回路267、モデムデータの入カインターフェイスS1R268、汎用入力データの誤り訂正回路269、汎用入力レジスタのスレーブレジスタG1RS270からなっており、絶縁バリヤ253は、送信パス用絶縁カプラ6-1及び受信パス用絶縁カプラ6-2からなっており、回線側回路254は、送信パスは、回線側送信パスのマルチプレクサ271、送信モデムデータの伸長回路272、DA変換器273、汎用出力信号の誤り訂正回路274、スレーブの汎用出力レジスタ275、AD変換器276、AD変換データの圧縮回路277、マルチプレクサ278、マスタの汎用入力レジスタG1RM279、入力データの誤り訂正回路280、2線/4線変換回路281、SW制御回路283からなっており、高耐圧回路255は、直流閉結回路282及び呼出信号検出回路284からなっている。

【0067】

この回路構成の特徴は、第1にAD変換器及びDA変換器を回線側に配置して、絶縁カプラを通る信号をデジタルデータとしたことにある。このために、後述するように、絶縁バリヤを通す際の耐雑音性能が格段に改善する。また、第2は、AD変換信号およびDA変換信号を一旦圧縮して絶縁カプラを通すこととし、この空いた部分に制御信号を誤り訂正符号化してはめ込み、絶縁カプラ6を6-1及び6-2の2つと半減していることである。一般に絶縁バリヤを半導体基板上に搭載すると大きな面積を必要とすることが知られており、データの圧縮伸長



及び誤り訂正などの回路追加部分の面積増加と総合的に判断するとこの形態も成り立つ。さらに、第3は、機能的には図1と殆ど同じであり、高耐圧回路255の内部回路、回線側回路254における2線/4線変換回路281、SW制御回路283はまったく同じ機能である。また、第4は、マルチプレクサ266には絶縁カプラ6-2の再生クロック及びDSPからのクロックの両方を入れてタイミング調整をしていることである。1ビットあるいは2ビットのバッファメモリを配置することでタイミングの調整をすることができる。第5は、汎用入出力レジスタGOR、GIRが、マスタレジスタの内容をスレーブレジスタに逐次転写していることである。もちろんこの回路の変形として、技術が進歩して絶縁カプラがさらに小さくなった場合に雑音が少なく誤りにくいときには圧縮や、誤り訂正やマルチプレクサを省略しても良い。次に、図13を用いてこの実施例の効果を説明する。

#### 【0068】

図13において、(a)は、鋸波形を搬送波に用いた場合、(b)は三角波を搬送波に用いた場合を示しており、両図のように送信信号および受信信号がアナログ信号であっても、絶縁バリヤにはデジタルPWM信号しか通過せず、DSP、モデム処理、絶縁カプラの動作タイミングを同期していることにより、絶縁バリヤでの伝送誤りに最も耐える性能とできる。

#### 【0069】

図14は、回線インターフェイスICを2チップ構成とした場合を示している。図14において、291は、回線インターフェイスチップ、292は端末インターフェイスチップであり、回線インターフェイスチップ291には、端子領域293、回線側高電圧回路領域294、端子領域295を配置し、端末インターフェイスチップ292には端子領域296、回線側低電圧回路領域297、絶縁カプラ領域298、端末側回路領域299、端子領域300を配置した。回線側高耐圧回路領域294には、直流閉結回路及び着信(RING)検出回路を配置した。また、端末インターフェイスチップ292の回線側低電圧回路領域297には2線/4線変換回路、OFHKスイッチ(SW)制御回路及び発信回路を配置した。このようにすることにより、高電圧の回路素子が必要な回線インターフ

ェイスチップ291のプロセス条件を絶縁バリヤや低電圧である回路素子の回路と切り離すことにより効率の良いプロセスを選択できる利点がある。また、1つのICチップのサイズを小さくすることでプロセスにおける総合的な歩留まりの影響を低減して、ウエーハ当たりのICチップ取得数を増やす効果もある。また、回線インターフェイスチップは個別部品を用いてディスクリット回路としても良い。このようにすることにより、端末インターフェイスチップにはロジック信号及びモデムの信号レベルの信号だけになり、直接回線と接続する部分がなくなるので、モデム以外の応用など、例えば、多機能電話機の内部回路に用いるなど適用範囲を広げやすい効果が生まれる。

## 【0070】

図15は、絶縁バリヤの他の実施例の構造図で、(a)は1重絶縁、(b)は2重絶縁、(c)は2重絶縁の他の変形した実施例の断面図である。図14において、207は絶縁バリヤ、206-1, 206-2, 206-3は絶縁帯、241, 242は絶縁帯206で囲んだ電極領域、244および245は電極領域241および242上部の保護層に開けた穴である端子、301-1及び301-2はしきりである。図15(a)及び(b)は、図9の実施例同様に絶縁帯に一切の鋭角をもたないパターンの実施例を示している。

## 【0071】

図15(a)のパターンの特徴は、絶縁帯206-1および206-2の一筆書きで端子244, 245を有する電極領域241, 242を形成したことにあり、このようにすると、T字状に絶縁帯同士が接続する部分を排除することができ、トレンチ法で溝を埋めるときの効率が良いばかりでなく、電界の集中を軽減する効果がある。図15(b)も同様で、このパターンの特徴は、絶縁帯206-3および206-4の一筆書きで端子244, 245を有する電極241, 242を形成し、これらをそれぞれ、絶縁帯206-1, 206-2でさらに囲んだことにあり、これによって、絶縁帯206-1と206-3との間、絶縁帯206-3と206-4との間で形成した中間電極が形成され、このために2倍の耐圧性能を出せる効果がある。図15(c)のパターンは、図15(a)及び図9の実施例の変形例であり、2つのT字部を許せば絶縁帯206-3で囲った

ことで面積効率の良い絶縁バリヤを実現することができる効果がある。(a)

(b)の方法は、さらに直列数を増やす場合にも効率よく展開できる。

#### 【0072】

本発明は、絶縁カプラ単体としても有効であり、これを図16を用いて説明する。図16は、本発明の絶縁カプラの1実施例の構造図であり、図16における絶縁カプラ203は、図8の絶縁カプラ部分に、入力回路用の端子領域201および出力回路用の端子領域205を設けそれぞれの端子を配置したもので、約2mm平方の大きさである。このようにすることにより超小型のアナログPWM方式のモノリシック絶縁カプラ部品ができる。これは、もちろん後工程でパッケージに実装して使用するがモノリシックであるために極めて小型なために、計測器のプロブや医療用の各種センサのような応用装置の内部に実装し、これらの装置の小型化、高性能化に貢献することができる。

#### 【0073】

また、図17は、図16の2つの絶縁カプラを1チップに搭載する場合のレイアウト構想図である。図17において、203は2カプラ内蔵1チップ絶縁カプラであり、203-1、203-2はそれぞれ内蔵する絶縁カプラ1および絶縁カプラ2であり、各々絶縁帯206-1および206-2で囲んである。このレイアウトの特徴は、(1)各絶縁カプラを絶縁帯62-1及び62-2で囲んだこと、及び、(2)電界が集中する絶縁バリヤを整列したことである。このようにすることで、2つの入力と2つの出力間のいずれとの間に対しても絶縁耐圧を確保することができ、絶縁耐圧を維持しながら自由に各回路要素を配置することができる効果がある。また、この構造により、不要な電気回路的な結合を最小とすることができ、応用範囲を広げることができる。

#### 【0074】

図18は、本発明の絶縁カプラのさらに他の実施例であり、絶縁帯によって各々絶縁した入力回路及び出力回路を集積回路化して、セラミックキャパシタを絶縁バリヤと組み合わせて絶縁カプラとする場合の集積回路と絶縁カプラの構造を示している。図18において、(a)はチップレイアウトの概要であり、(b)はこのICとセラミックキャパシタの回路基板への実装断面図である。図18

(a)において、303は絶縁カプラ用ICであり、206-1および206-2はそれぞれ入力回路領域及び出力回路領域を囲む絶縁帯であり、304は外付け絶縁バリヤ、端子領域201および205はそれぞれ外付け絶縁バリヤ304との接続端子C1-OおよびC2-O、C1-IおよびC2-Iを加えている。その他の符号は図16と同じ意味である。図18(b)において303は絶縁カプラ用IC、305および306はハンダである。307は回路基板で、両面に銅箔308、309、310、311の回路接続パターンを有し、必要に応じてスルーホール312、313を設けてある。回路基板307は絶縁性を損なわぬ範囲で必要に応じて銅箔を多層にしても構わない。絶縁バリヤ304はチップキャパシタであり、回路基板にハンダ316、307によって表面実装する。このようにすることで、半導体集積回路で比較的大きな面積を占める絶縁バリヤを別チップとして、絶縁カプラの形状寸法は大きくなるが現実的な価格としたり、また、絶縁バリヤのキャパシタ値を積極的に大きくして動作タイミング周波数を自由に選択できる構成法も可能になる。すなわち、キャパシタ値を大きくすることで低周波数特性が向上するので波形伝送しやすくなり、例えば、チャージポンプ回路などにより小さな電力伝達も可能になる利点がある。

## 【0075】

以上のように、これらの実施例によれば、半導体集積回路上に無理なく絶縁カプラを形成することが可能であり、集積回路の用途を大きく広げることができる。また、このようにして形成した絶縁カプラは、小型化と低価格化に大きく貢献する効果がある。

## 【0076】

図19は、本発明のモノリシック回線インターフェイスをカードモデム装置に応用した実施例の概念を示す構造図で、図19(a)は本発明の実施例、図19(b)は従来のカードモデムである。図19(a)において、400は本実施例のカードモデム全体を、401は本実施例の回路基板を、402は本実施例の回線インターフェイスICを、403はAFEを、404はDSPを、405はその他のICを、406は回線側コネクタを、407はPC側コネクタを、408はバリスタを、409は高耐圧キャパシタを、410はキャパシタを、411か

ら416はその他の抵抗及びキャパシタ等のチップ部品である。図19(b)において、500は従来のカードモデム全体を、501は、従来の回路基板を、502は従来の回線インターフェイスであるライントランスを、503はAFEを、504はDSPを、505はその他のICを、506は回線側コネクタを、507はPC側コネクタを、508はバリスタを、509は高耐圧キャパシタを、510はキャパシタを、511から516はその他の抵抗及びキャパシタ等のチップ部品である。この図はカードモデムの断面を模式的に示したもので、比較して明らかなように、従来のカードモデム500は、回路基板501をくり貫いて、くり貫いた部分にライントランスを配置しているのに対して、本発明の実施例では回線インターフェイスIC402を402から405に示す他のICとほぼ同様に実装できる。このために、回路基板401をくり貫く工程が省略できき経済的である。また、特殊なトランスを使用しないことでも経済的にできる可能性がある。さらに、トランスを省略できることで、更なる小型化の可能性を持っている。

【0077】

【発明の効果】

本発明によれば、小型で高性能な絶縁カプラ及びモデムインターフェイス回路を実現できる。

【図面の簡単な説明】

【図1】

本発明の1実施例のモデム装置の回路ブロック図。

【図2】

図1のモデム装置の動作タイミングチャート。

【図3】

図1内の絶縁カプラの回路ブロック図。

【図4】

図3の絶縁カプラの動作タイミングチャート。

【図5】

モデム信号処理と絶縁カプラのタイミングチャート同期。

【図6】

タイミング同期の効果を示すタイミングチャート。

【図7】

図1の回路における回線インターフェイス回路のICのレイアウト。

【図8】

図7のICにおける絶縁カブラの構造図。

【図9】

図7のICにおける絶縁バリヤの構造図。

【図10】

回線インターフェイスICのレイアウトの変形例。

【図11】

本発明に適用する絶縁カブラ方式の回路ブロック図。

【図12】

本発明の他の実施例のモデム装置の回路ブロック図。

【図13】

モデムの他の実施例の効果を示すタイミングチャート。

【図14】

回線インターフェイス回路のICの他の実施例の構造図。

【図15】

本発明の絶縁バリヤの他の実施例の構造図。

【図16】

本発明の絶縁カブラの実施例の構造図。

【図17】

本発明の絶縁カブラの他の実施例の構造図。

【図18】

本発明の絶縁カブラのさらに他の実施例の構造図。

【図19】

本発明の回線インターフェイスICを使用したモデム装置の構造図。

【符号の説明】

1…モデム、2…回線インターフェイス回路、6…絶縁カプラ、206…絶縁  
帯、207…絶縁バリヤ、211…入力回路領域、212…出力回路領域、231  
…基板、231…絶縁層、232…半導体層、234…保護層。

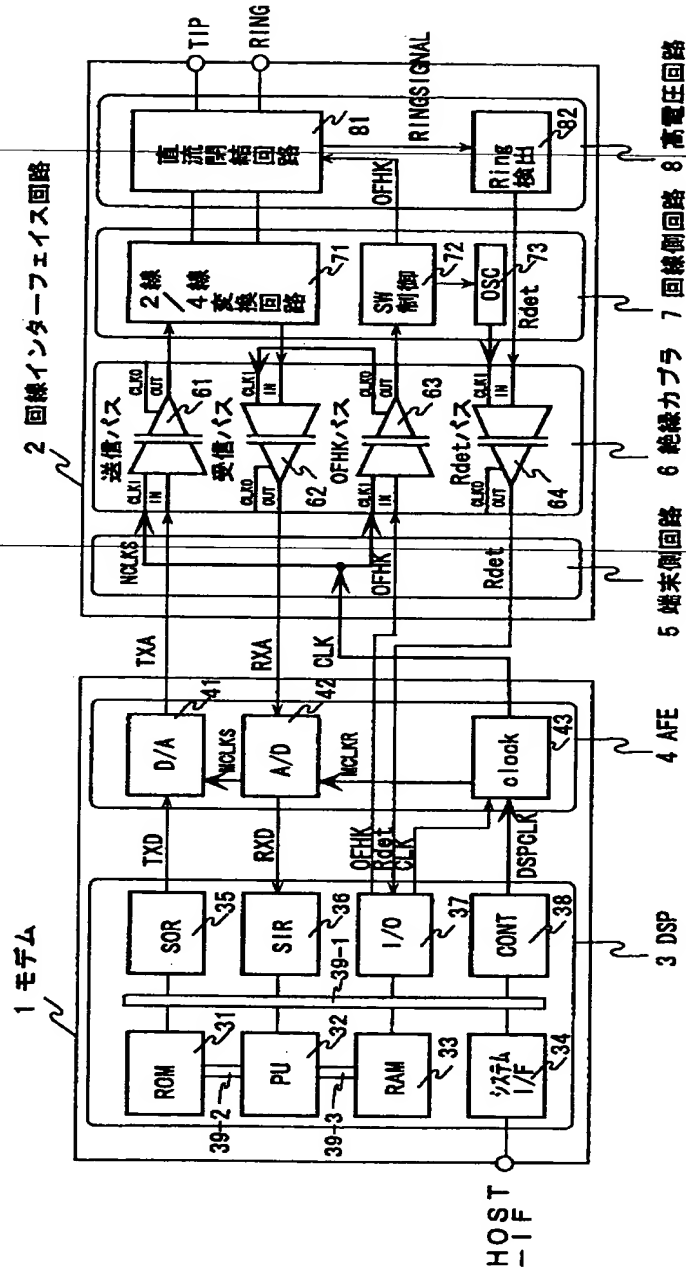
---

---

【書類名】 図面

【図 1】

図 1

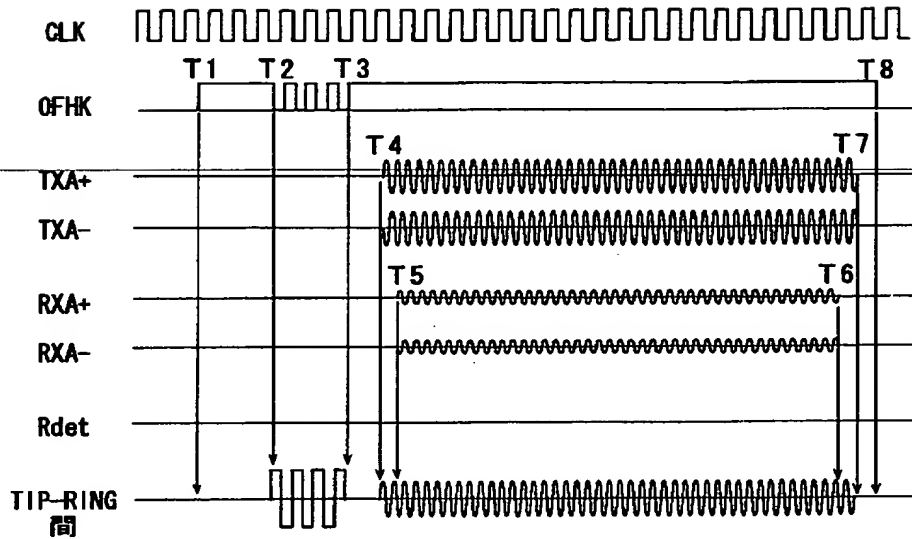




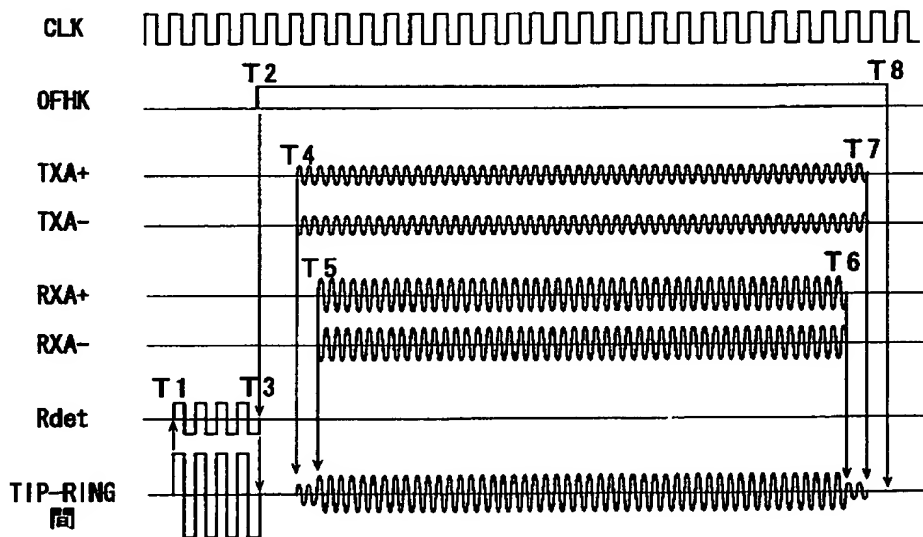
【図 2】

図 2

(a) 送信時の動作

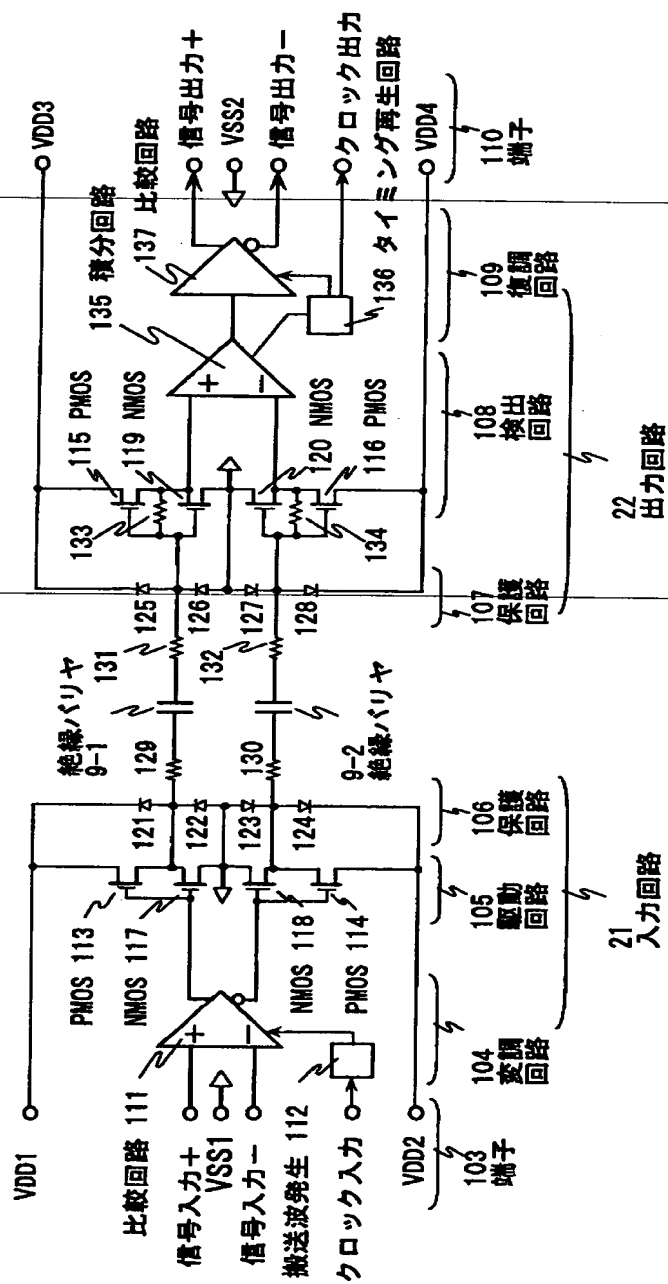


(b) 受信時の動作



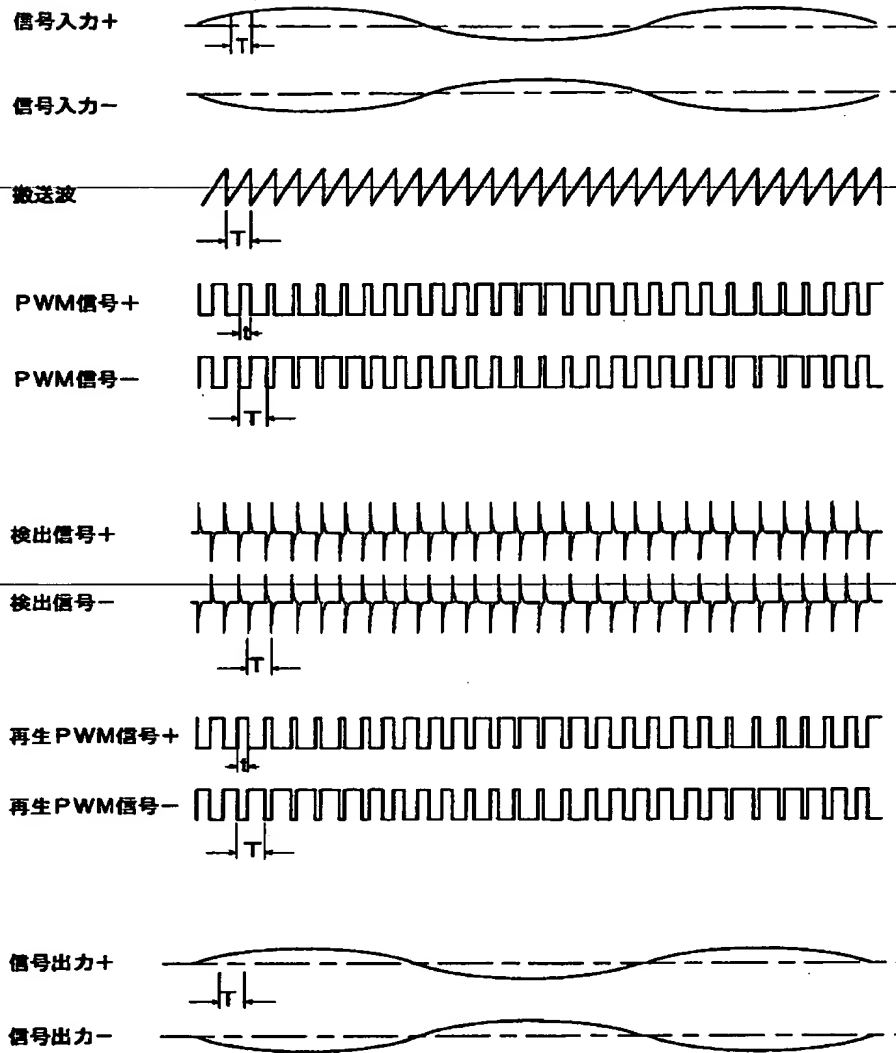
【図3】

図 3



【图4】

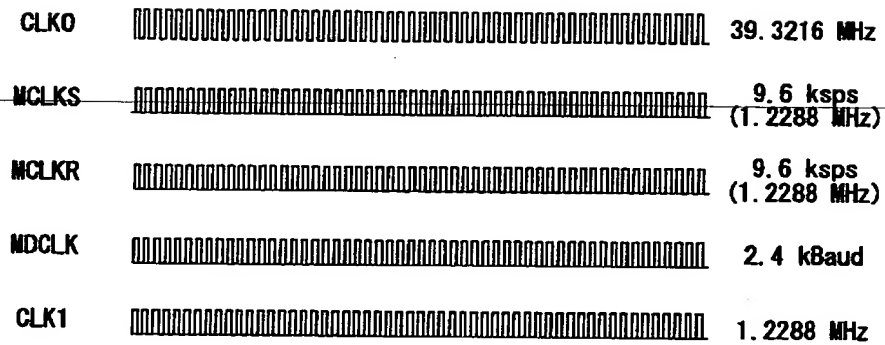
图 4



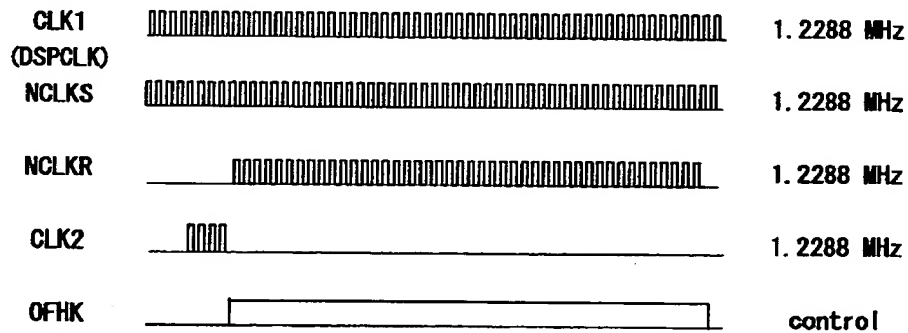
【図5】

図 5

(a) モデム信号処理部分



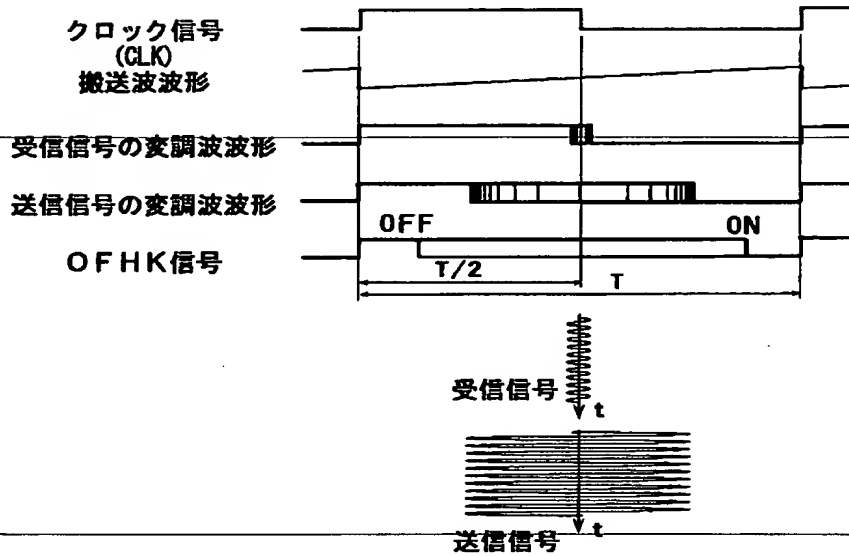
(b) 回線インターフェイス部分



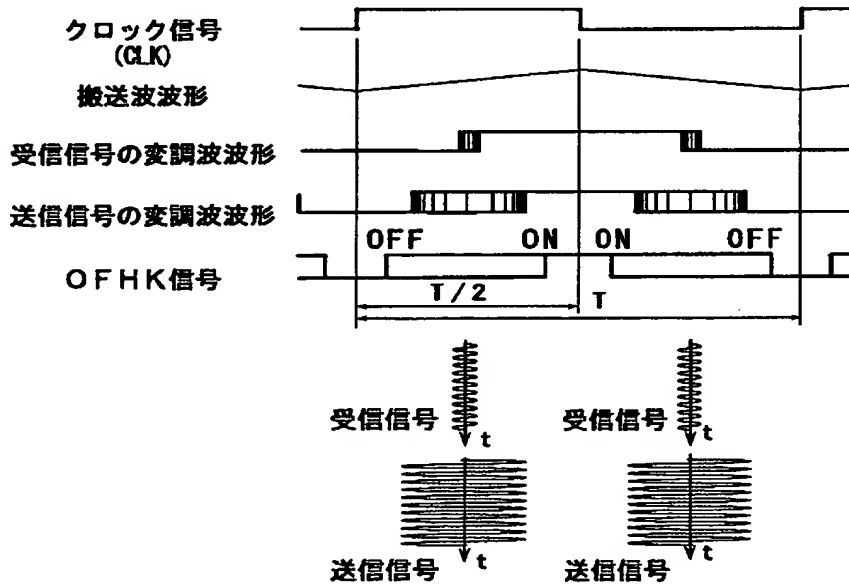
【図6】

図 6

(a) 鋸波形搬送波PWMのタイミング

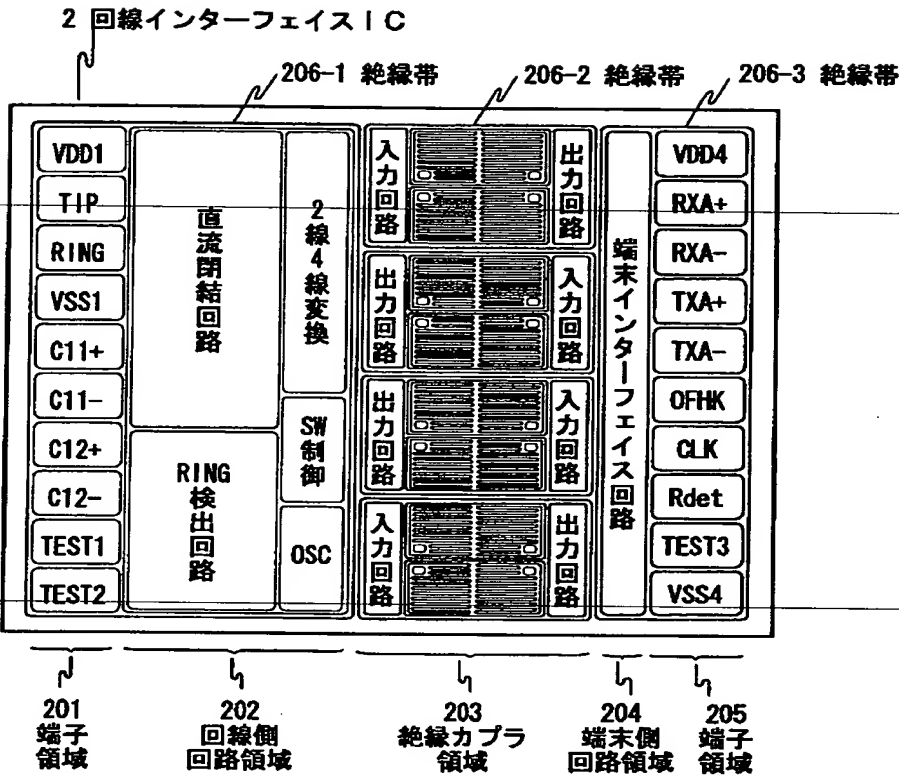


(b) 対称波形搬送波PWMのタイミング



【図 7】

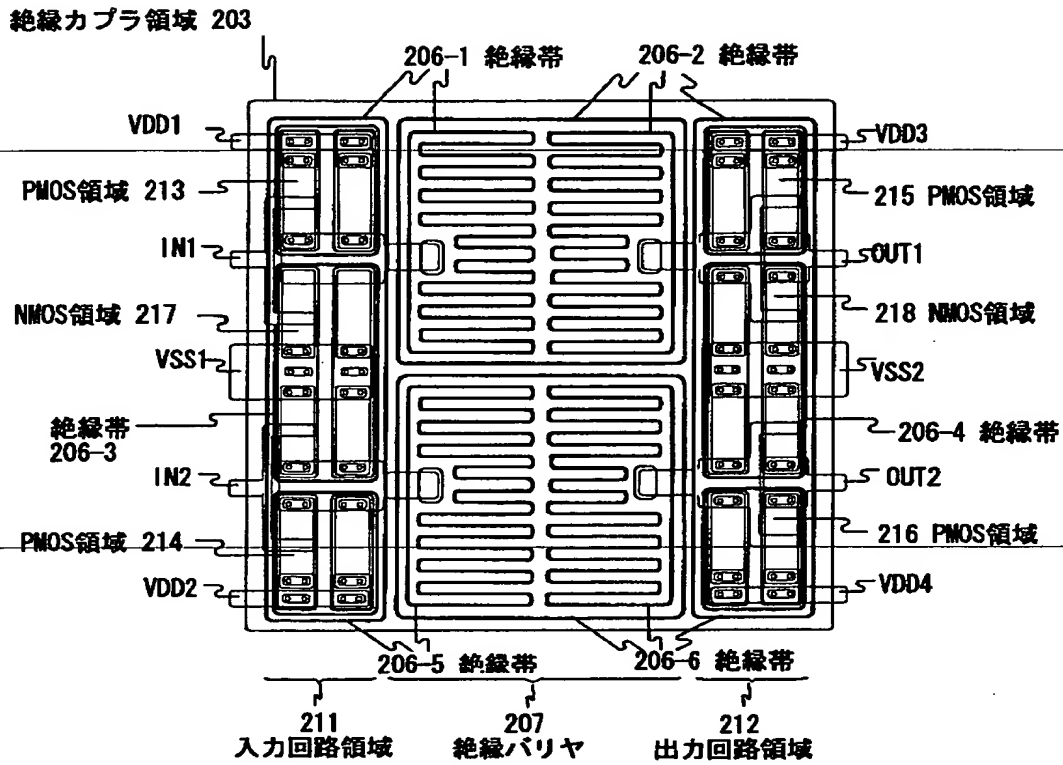
図 7



【図8】

図 8

(a) 絶縁カブラの平面図



(b) 絶縁カブラの断面図

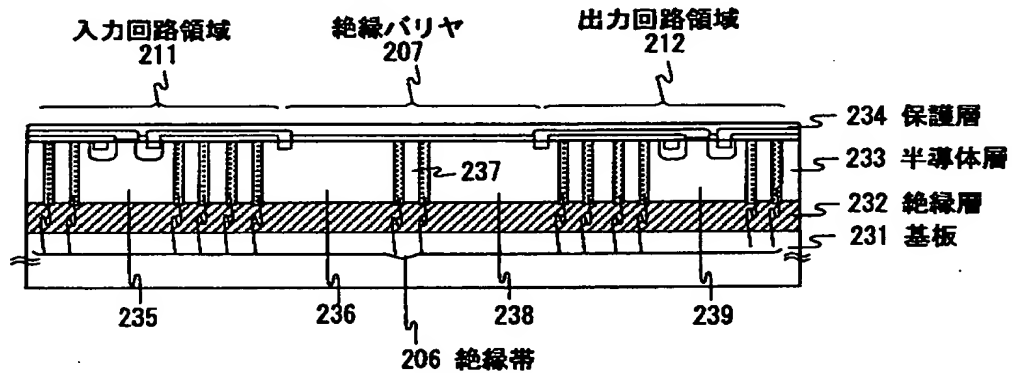
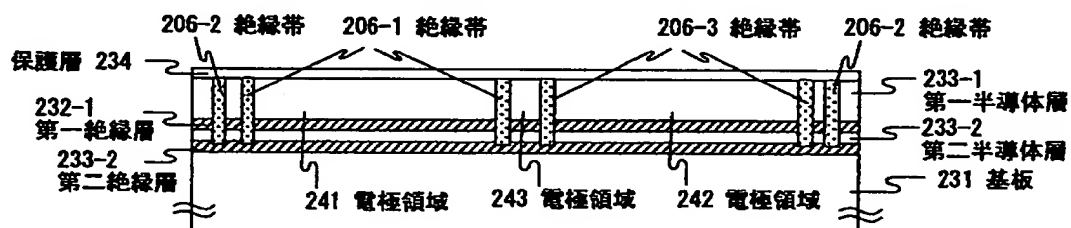
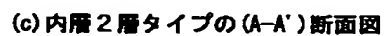
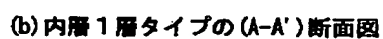


图 9

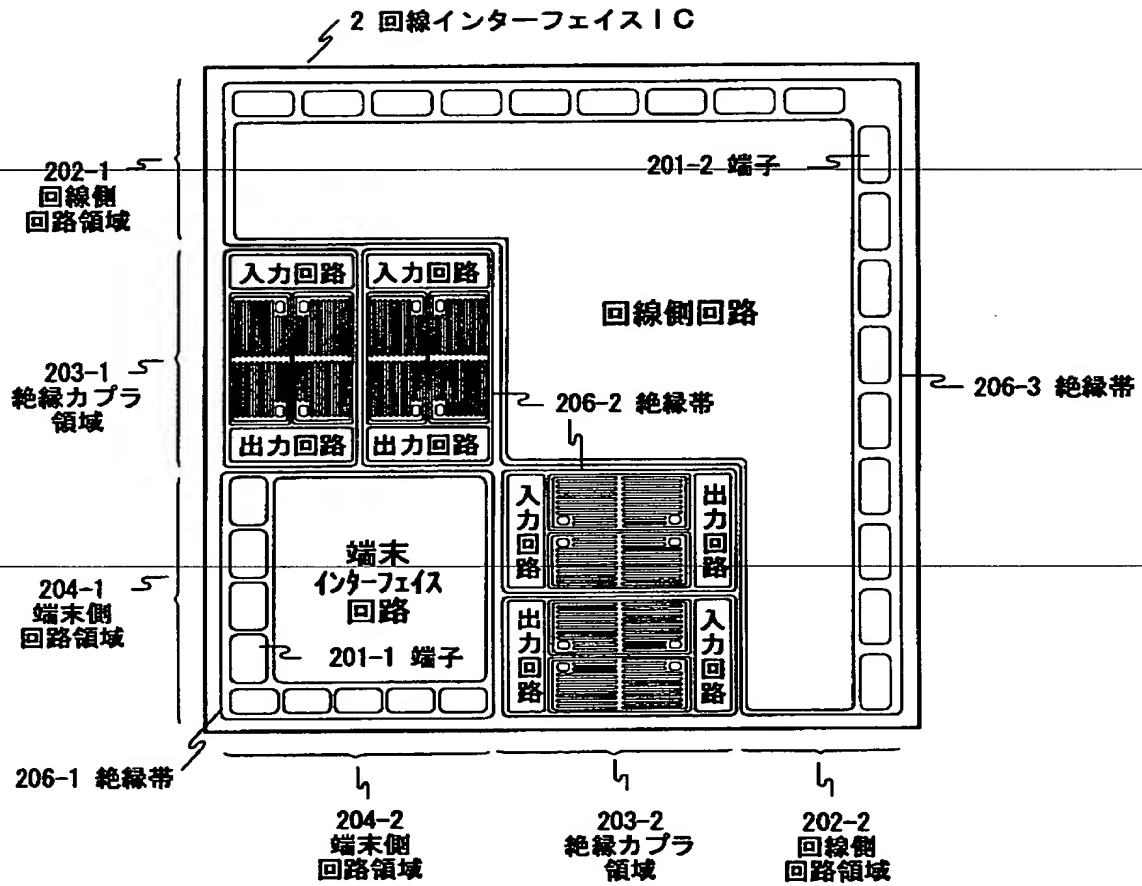
(a) 平面図





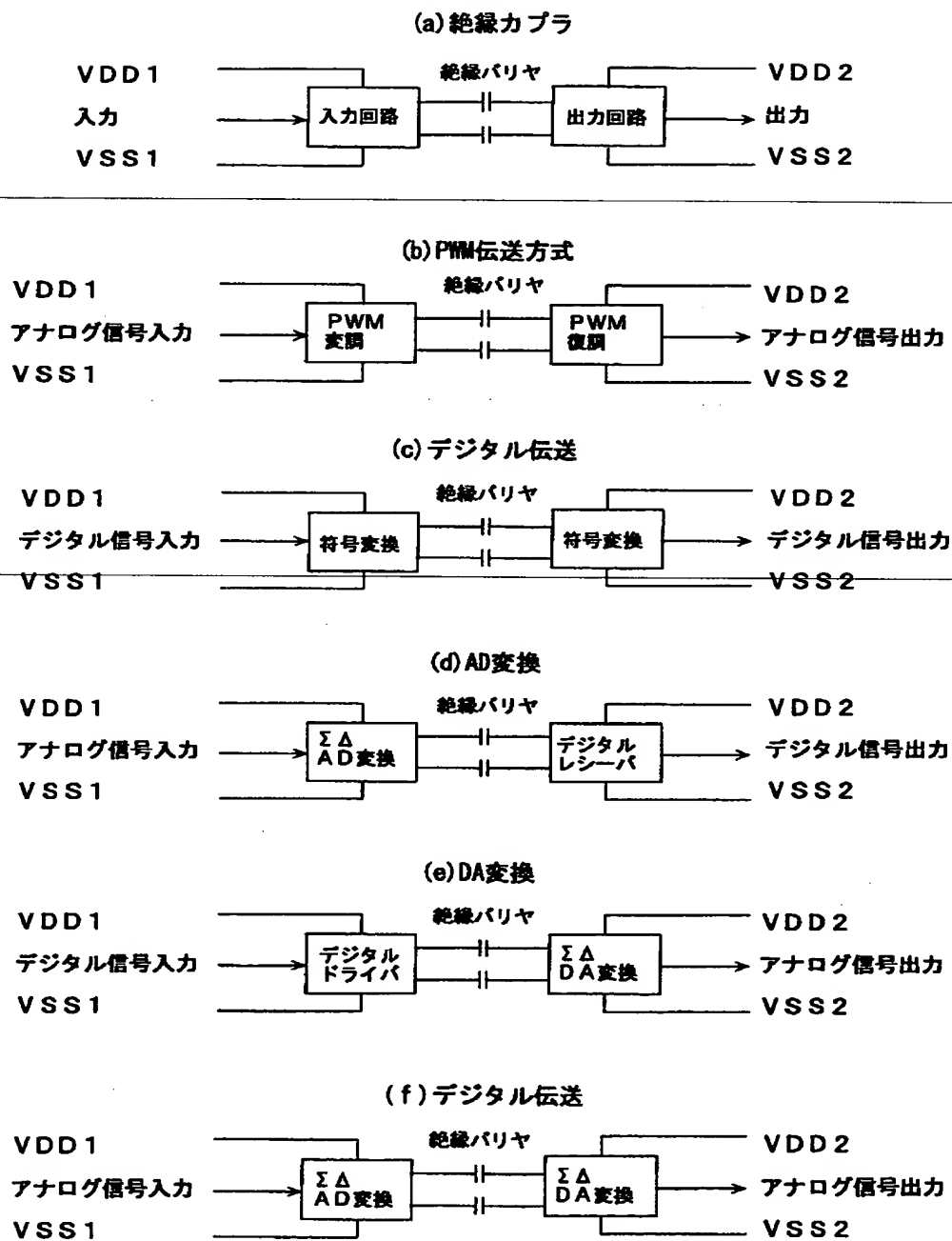
【図10】

図 10



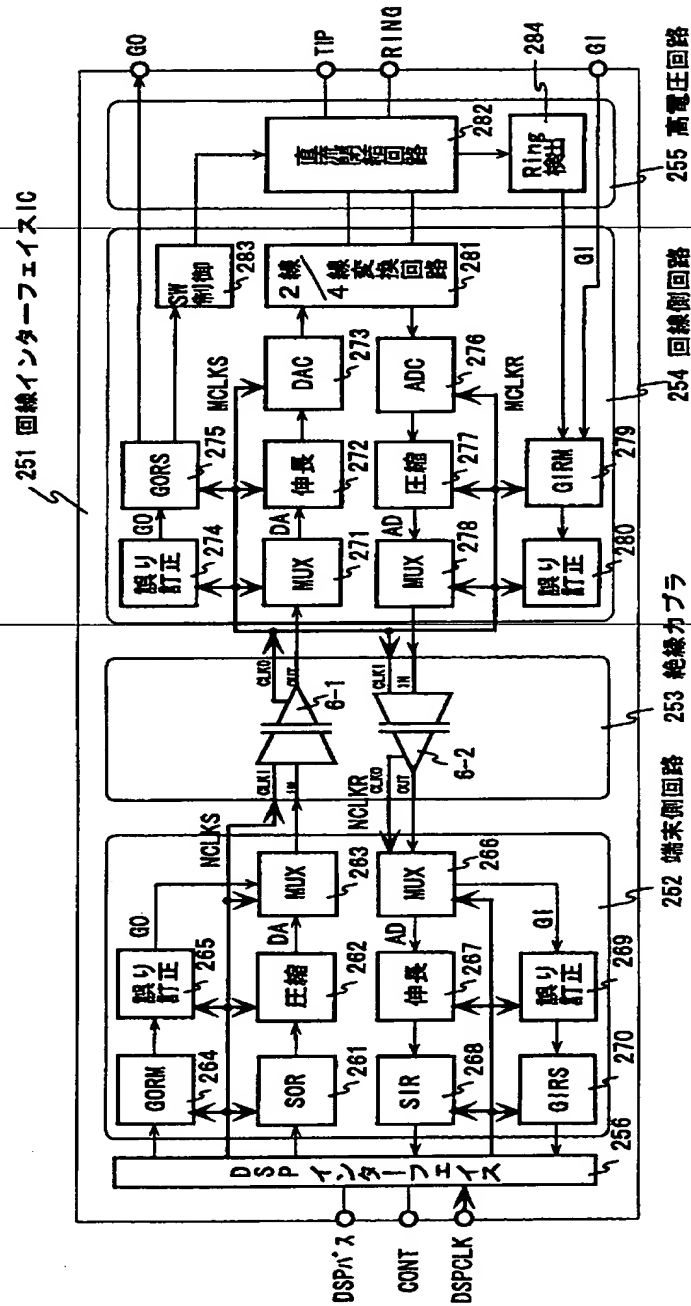
【図11】

図 11



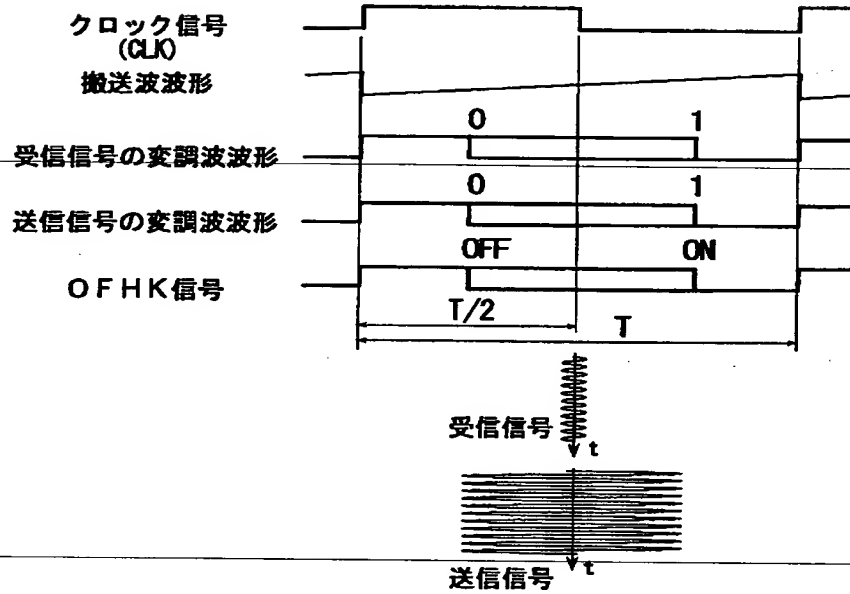
【図12】

図 12

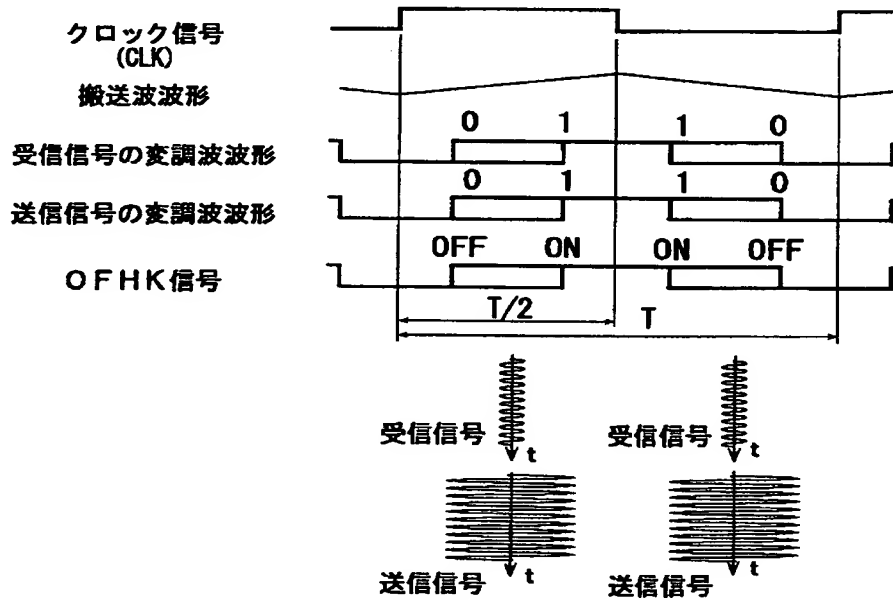


【図13】

図 13  
(a) 鋸波形搬送波PWMのタイミング

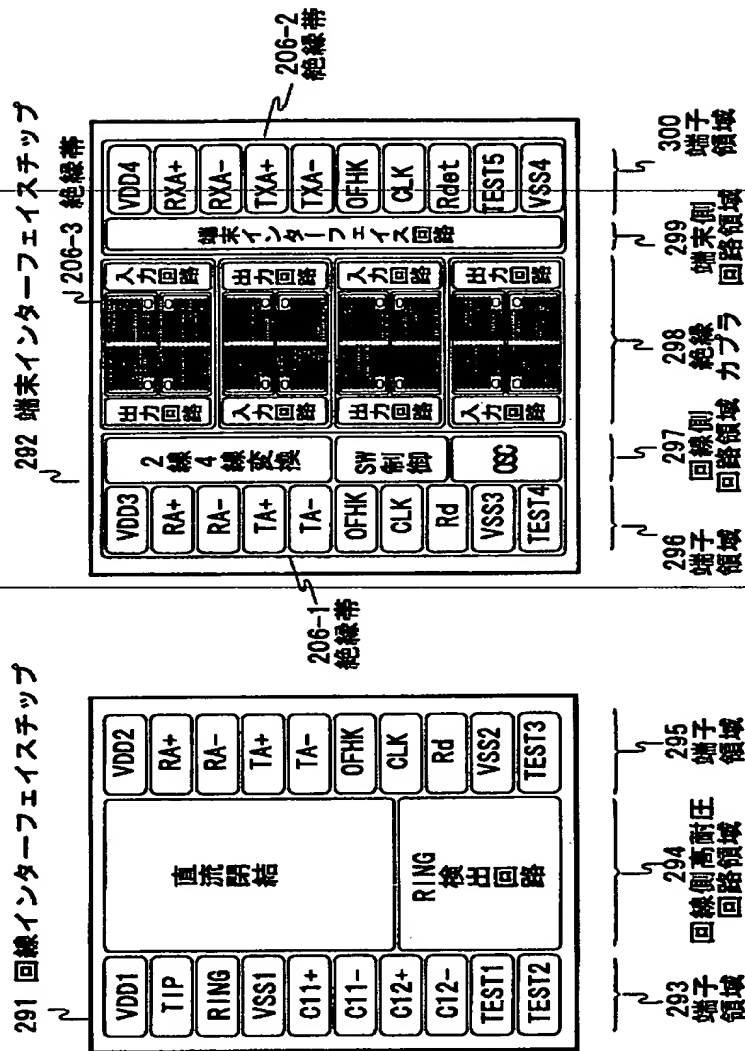


(b) 対称波形搬送波PWMのタイミング



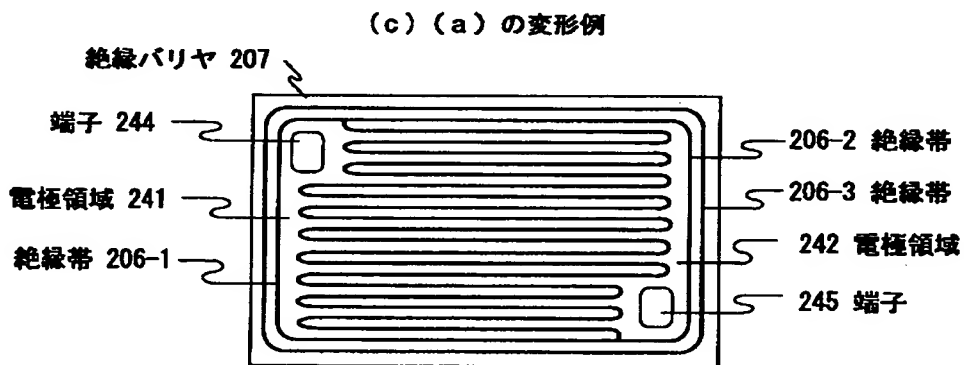
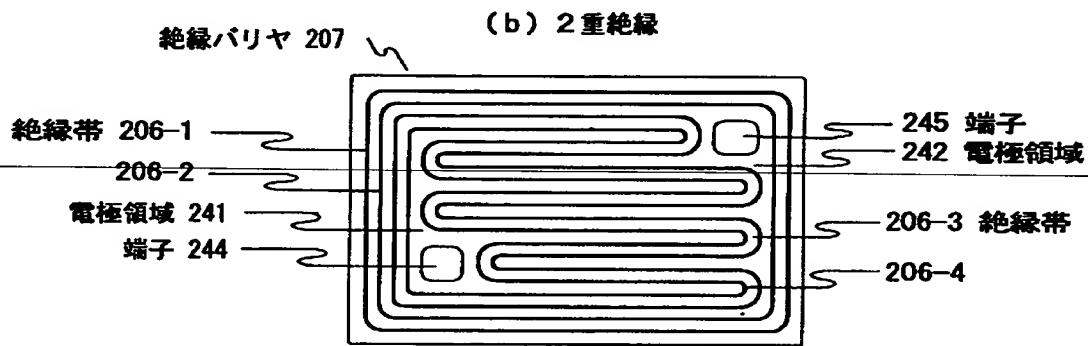
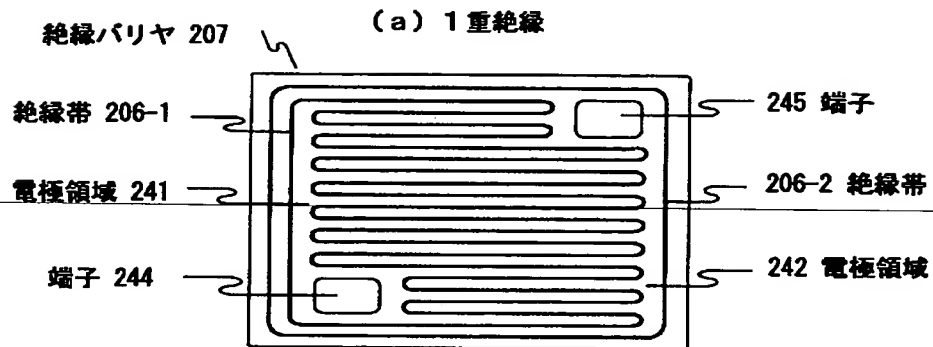
【図 14】

図 14



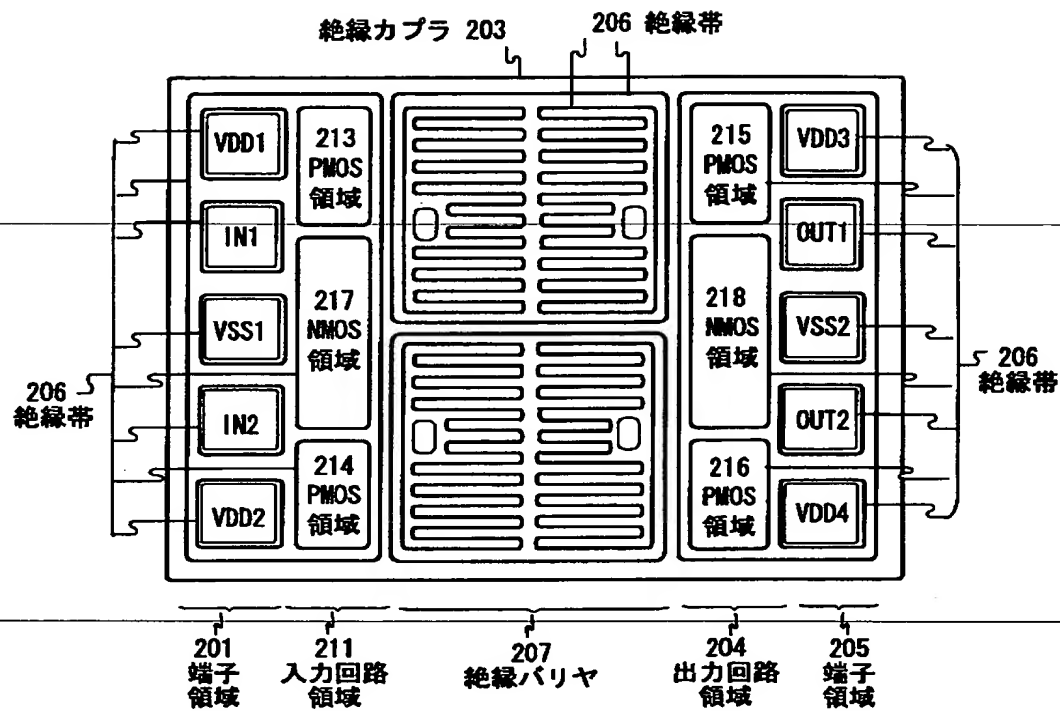
【図15】

図 15



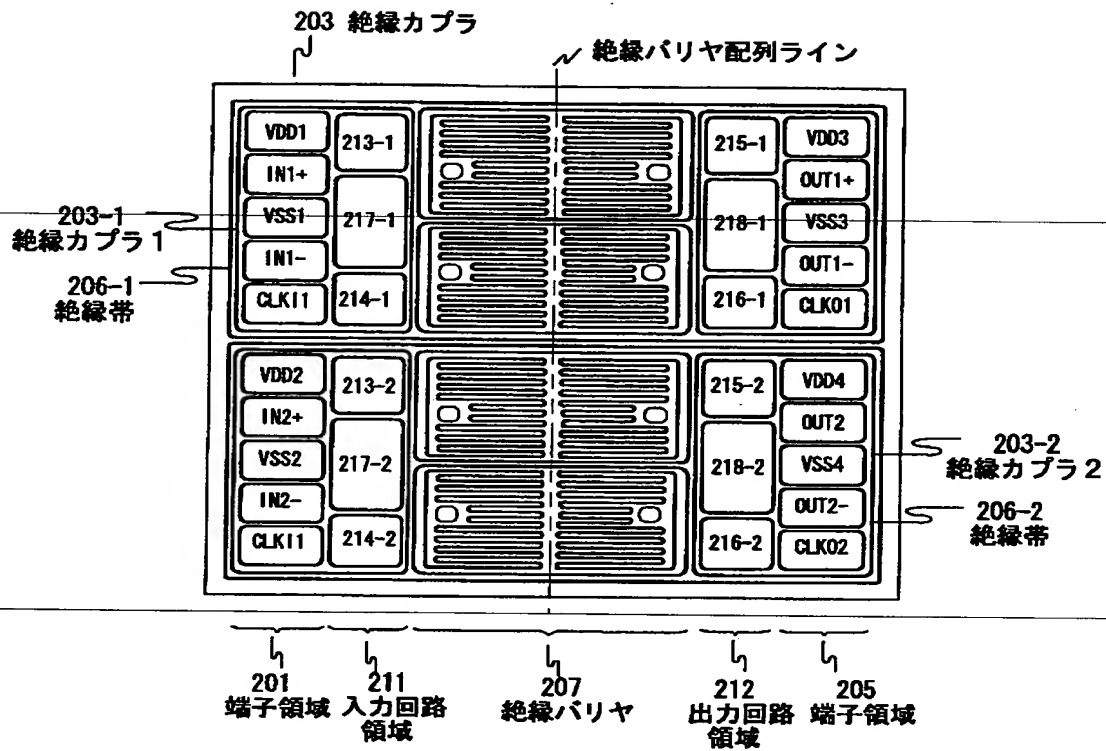
【図16】

図 16



【図17】

図 17

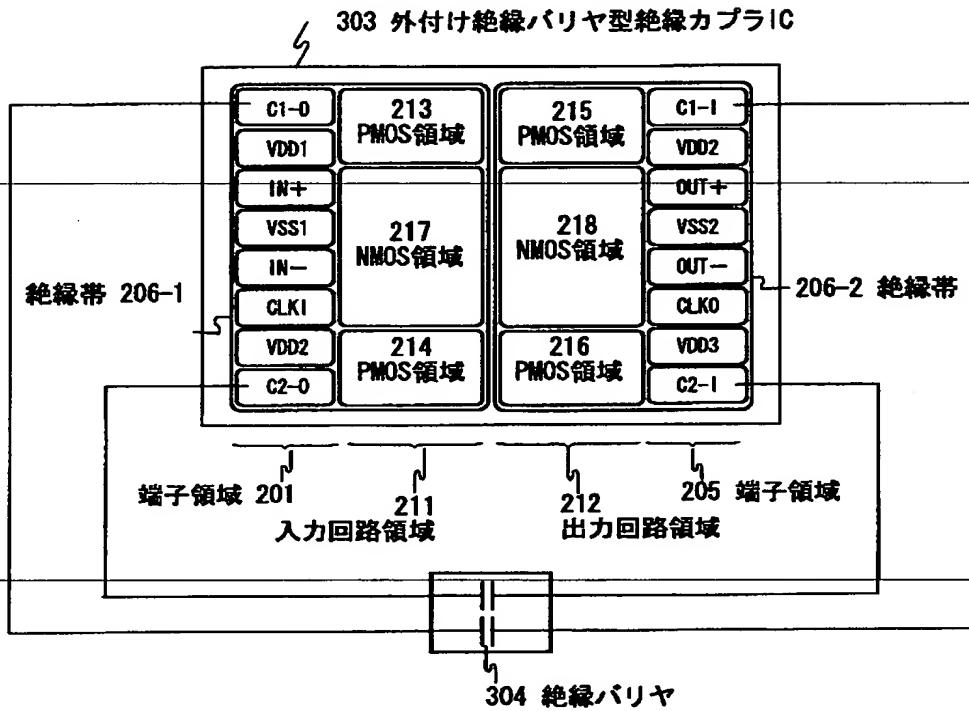




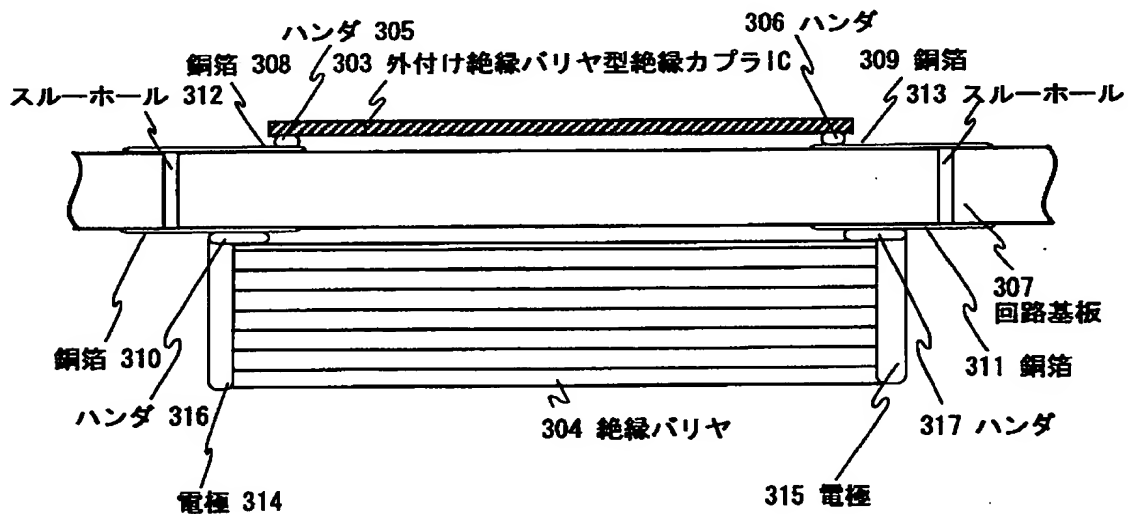
【図18】

図 18

(a) チップレイアウト概要



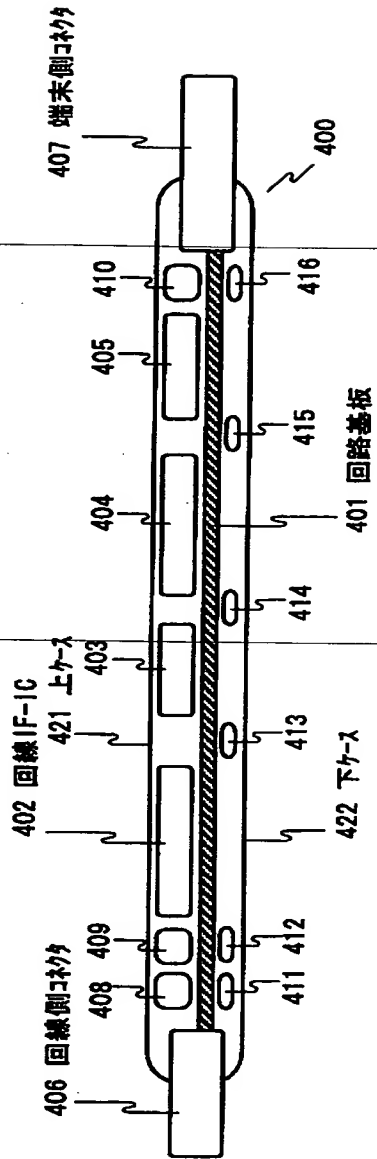
(b) 回路基板実装断面図



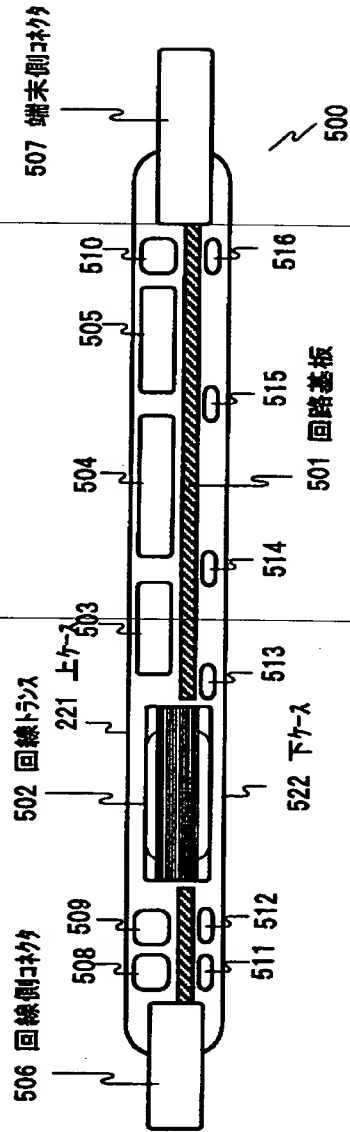
【図19】

図 19

(a) 本発明の実施例の構造



(b) 従来のモデム装置の構造



【書類名】 要約書

【要約】

【課題】

モノリシック化された高耐圧絶縁カプラ及びこれを応用したモデム等の回線インターフェイス回路を実現する。

【解決手段】

絶縁カプラには、SOI基板上に、絶縁帯による容量性絶縁バリア及び回路領域を形成して絶縁カプラを構成する。また、回線インターフェイス回路では、DSPとAFEと絶縁カプラの動作クロックのタイミングの同期を取る。

【効果】

絶縁層と絶縁バリアによって高耐圧を実現し、動作タイミングを同期することによってクロストークによる信号の劣化を低減して、絶縁カプラ及びモデムインターフェイス回路のモノリシック化が可能になる。

【選択図】 図1

特平 9-079551

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005108  
【住所又は居所】 東京都千代田区神田駿河台四丁目6番地  
【氏名又は名称】 株式会社日立製作所

---

【代理人】 申請人

【識別番号】 100068504  
【住所又は居所】 東京都千代田区丸の内1-5-1 株式会社日立製作所 知的所有権本部内  
【氏名又は名称】 小川 勝男

---

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所

**This Page Blank (uspto)**